

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日  
Date of Application:

2001年 3月 8日

出願番号  
Application Number:

特願2001-064287

出願人  
Applicant(s):

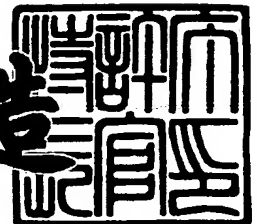
日本電気株式会社



2001年12月21日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3110227

【書類名】 特許願

【整理番号】 74510237

【提出日】 平成13年 3月 8日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/04  
G01R 1/28  
G05F 3/30  
G05F 1/56

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 木村 克治

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100080816

【弁理士】

【氏名又は名称】 加藤 朝道

【電話番号】 045-476-1131

【手数料の表示】

【予納台帳番号】 030362

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

---

【包括委任状番号】 9304371

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 CMOS 基準電圧回路

【特許請求の範囲】

【請求項 1】

それぞれが接地されて電流比が一定の 2 つの定電流で駆動される、第 1、第 2 のダイオード接続されたトランジスタと、

前記第 1 又は第 2 のダイオード接続されたトランジスタからの出力電圧に、前記第 1 及び第 2 のダイオード接続されたトランジスタの出力電圧の差電圧を、一定倍に増幅し加算する手段と、

を有する基準電圧回路において、

前記増幅し加算する手段が、第 1、及び第 2 のオペレーショナルトランスコンダクタンスアンプ（「OTA」という）と、

カレントミラー回路と、

を備え、

前記第 1 の OTA は、前記差電圧を入力し、

前記第 2 の OTA は、前記第 1 又は第 2 のダイオード接続されたトランジスタからの出力電圧が正相入力端子に印加され、逆相入力端子は出力端子に接続されて前記第 1 の OTA の出力電流に比例する電流で駆動され、

前記第 2 の OTA の出力端子電圧を出力電圧とする、ことを特徴とする CMOS 基準電圧回路。

【請求項 2】

前記第 1、及び第 2 の OTA のトランスコンダクタンス  $g_{m1}$ 、 $g_{m2}$  が互いに等しく（ $g_{m1} = g_{m2}$ ）、

前記カレントミラー回路における入力電流と出力電流の電流比を  $1 : K_2$ （ただし、 $K_2 > 1$ ）とし、所望の増幅度を得ている、ことを特徴とする請求項 1 記載の CMOS 基準電圧回路。

【請求項 3】

前記カレントミラー回路における入力電流と出力電流の電流比が等しく（ $1 : 1$ ）、

前記第1、及び第2のOTAのトランスコンダクタンス  $g_{m1}$ 、 $g_{m2}$  が、  
 $g_{m1} = K_2 \times g_{m2}$  (ただし、 $K_2 > 1$ )

とし、所望の増幅度を得ている、ことを特徴とする請求項1記載のCMOS基準電圧回路。

【請求項4】

前記カレントミラー回路における入力電流と出力電流の電流比を  $1 : K_2$  (ただし、 $K_2 > 1$ ) とし、

前記第1、及び第2のOTAのトランスコンダクタンス  $g_{m1}$ 、 $g_{m2}$  が、  
 $g_{m1} = K_3 \times g_{m2}$  (ただし、 $K_3 > 1$ )

とされ、所望の増幅度を得ている、ことを特徴とする請求項1記載CMOS基準電圧回路。

【請求項5】

それぞれが接地されて電流比が一定の2つの定電流で駆動される第1、第2のダイオード接続されたトランジスタと、

前記第1または第2のダイオード接続されたトランジスタからの出力電圧に、前記第1のダイオード接続されたトランジスタと前記第2のダイオード接続されたトランジスタの2つの出力電圧の差電圧を一定倍に増幅し加算する手段と、

を有する基準電圧回路において、

前記増幅し加算する手段が、 $(K_2 + 1)$  個 (ただし、 $K_2$  は1以上の整数) の差動対から構成され、

第1の差動対は前記差電圧を入力し、

第2の差動対は、前記第1または第2のダイオード接続されたトランジスタからの出力電圧が、差動対トランジスタの一方に印加され、

前記差動対トランジスタの他方は、ダイオード接続されて、前記第1の差動対の一方のトランジスタの出力電流に比例する電流で駆動され、

第3から第 $(K_2 + 1)$ の差動対は、それぞれ前段の前記第2から第 $K_2$ の差動対のダイオード接続されたトランジスタからの出力電圧が、差動対トランジスタの一方に印加され、前記差動対トランジスタの他方はダイオード接続され、いずれも前記第1の差動対の一方の出力電流に比例する電流で駆動され、

前記第1から第 $(K+2)$ の差動対は、それぞれ電流比が一定の $(K+2)$ 個の定電流で駆動され、

前記第2から第 $(K+2)$ の差動対の差動入力電圧が、全て加算されることで所望の増幅度を得ている、ことを特徴とするCMOS基準電圧回路。

【請求項6】

それぞれが接地されて電流比が一定の2つの定電流で駆動される第1、第2のダイオード接続されたトランジスタと、

前記第1または第2のダイオード接続されたトランジスタからの出力電圧に、前記第1のダイオード接続されたトランジスタと前記第2のダイオード接続されたトランジスタの2つの出力電圧の差電圧を一定倍に増幅し加算する手段、

を有する基準電圧回路において、

前記増幅し加算する手段が、 $(K+2)$ 個の差動対から構成され、

第1の差動対は前記差電圧を入力し、

第2の差動対は、前記第1または第2のダイオード接続されたトランジスタからの出力電圧が差動トランジスタの一方に印加され、差動トランジスタの他方はダイオード接続され、

第3から第 $K+2$ の差動対の差動トランジスタはいずれもダイオード接続され、それぞれ前段のダイオード接続された差動トランジスタと後段のダイオード接続された差動トランジスタとが電流比が一定の $K+2$ の定電流で駆動され、

第 $(K+2)$ の差動対の差動トランジスタはいずれもダイオード接続され、一方のダイオード接続された差動トランジスタは、前段のダイオード接続された差動トランジスタとで定電流で駆動され、ダイオード接続された他方の差動トランジスタは、前記第1の差動対の一方の出力電流に比例する電流で駆動され、

前記第1から第 $(K+2)$ の差動対は、それぞれ電流比が一定の $(K+2)$ の定電流で駆動され、

前記第2から第 $(K+2)$ の差動対の差動入力電圧が全て加算されることで所望の増幅度を得ている、ことを特徴とするCMOS基準電圧回路。

【請求項7】

それぞれが接地されて電流比が一定の2つの定電流で駆動される第1、第2の

ダイオード接続されたトランジスタと、

前記第 1 または第 2 のダイオード接続されたトランジスタ（あるいはダイオード）からの出力電圧に、前記第 1 のダイオード接続されたトランジスタと前記第 2 のダイオード接続されたトランジスタの 2 つの出力電圧の差電圧を一定倍に増幅し加算する手段と、

を有する基準電圧回路において、

前記増幅し加算する手段が、

2 つの差動対から構成され、第 1 の差動対は前記差電圧を入力し、

第 2 の差動対は、前記第 1 または第 2 のダイオード接続されたトランジスタからの出力電圧が、差動トランジスタの一方に印加され、差動トランジスタの他方はダイオード接続されて前記第 1 の差動対の一方の出力電流に比例する電流で駆動され、

前記第 1 の差動対と前記第 2 の差動対は、それぞれ電流比が一定の 2 つの定電流で駆動され、

前記第 2 の差動対の動作入力電圧範囲を、前記第 1 の差動対の動作入力電圧範囲に対して、一定倍とすることで、所望の増幅度を得ている、ことを特徴とする CMOS 基準電圧回路。

#### 【請求項 8】

請求項 7 記載の CMOS 基準電圧回路において、前記第 1 のダイオード接続されたトランジスタと前記第 2 のダイオード接続されたトランジスタとのエミッタ面積が等しく、2 つの定電流の比が 1 と異なる、ことを特徴とする CMOS 基準電圧回路。

#### 【請求項 9】

請求項 7 記載の CMOS 基準電圧回路において、前記第 1 のダイオード接続されたトランジスタのサイズが前記第 2 のダイオード接続されたトランジスタのサイズの  $K$  1 倍であり、駆動電流の比が 1 と異なる、ことを特徴とする CMOS 基準電圧回路。

#### 【請求項 10】

請求項 7 記載の CMOS 基準電圧回路において、前記第 1 のダイオード接続さ

れたトランジスタのサイズと前記第 2 のダイオード接続されたトランジスタのサイズが異なり、駆動電流の比が 1 であることを特徴とする CMOS 基準電圧回路。

【請求項 1 1】

請求項 7 から請求項 1 0 のいずれかに記載の CMOS 基準電圧回路において、前記第 1 の差動対を構成するトランジスタのゲート  $W/L$  ( $W$  はゲート幅、 $L$  はゲート長) 比が、前記第 2 の差動対を構成するトランジスタのゲート  $W/L$  比の  $K 2$  倍であり、

前記第 2 の差動対の駆動電流が前記第 1 の差動対の駆動電流の  $K 3$  倍であり、前記第 1 の差動対の出力電流が  $K 3$  倍されて前記第 2 の差動対のダイオード接続されたトランジスタを駆動することで所望の増幅度を得ている、ことを特徴とする CMOS 基準電圧回路。

【請求項 1 2】

エミッタ接地されて定電流で駆動されるダイオード接続されたトランジスタと

前記ダイオード接続されたトランジスタからの出力電圧を受けるボルテージフォロワ形のオフセットを有するオペアンプと、を備え、

前記オペアンプの出力から基準電圧が出力される、ことを特徴とする CMOS 基準電圧回路。

【請求項 1 3】

請求項 1 2 記載の CMOS 基準電圧回路において、

前記オペアンプは、定電流駆動され、

入力差動対を構成する 2 つのトランジスタがゲート  $W/L$  比が  $1 : K 2$  であり

前記 2 つのトランジスタの負荷となるアクティブロードを構成する 2 つのトランジスタのゲート  $W/L$  比が  $K 3 : 1$  であり、

オフセットが加算される、ことを特徴とする CMOS 基準電圧回路。

【請求項 1 4】

請求項 1 2 記載の CMOS 基準電圧回路において、

前記オペアンプは、定電流駆動され、

入力差動対を構成する2つのトランジスタが、ゲートW/L比が $K 2 : 1$ であり、

前記2つのトランジスタの負荷となるアクティブロードを構成する2つのトランジスタのゲートW/L比が $1 : K 3$ であり、

オフセットが減算される、ことを特徴とするCMOS基準電圧回路。

【請求項15】

前記ダイオード接続されたトランジスタのかわりに、ダイオードを用いたことを特徴とする請求項1乃至13のいずれかーに記載のCMOS基準電圧回路。

【請求項16】

それぞれが、エミッタ接地され、ベースとコレクタが接続されており、コレクタにはそれぞれ定電流が供給される第1、及び第2のバイポーラトランジスタと

それぞれが、少なくとも第1、及び第2の入力端と出力端を備え、前記第1、及び第2の入力端の差電圧に対応した電流を前記出力端からそれぞれ出力する第1、及び第2のオペレーショナルトランスコンダクタンスアンプ（「OTA」という）と、

少なくとも一つの入力端と一つの出力端とを有し、前記入力端に入力される電流と前記出力端から出力される電流の電流値の比が所定値とされているカレントミラー回路と、

を備え、

前記第1のOTAの前記第1、及び第2の入力端には、前記第1、及び第2のバイポーラトランジスタのコレクタがそれぞれ接続されており、

前記第1のOTAの前記出力端は前記カレントミラー回路の前記入力端に接続されており、

前記第2のOTAの前記第1、及び第2の入力端には、前記第2のOTAの前記出力端、及び前記第2のバイポーラトランジスタの前記コレクタがそれぞれ接続されており、

さらに、前記第2のOTAの前記第1の入力端と前記出力端の接続点は、前記



カレントミラー回路の前記出力端に接続され、前記第2のOTAの前記出力端から基準電圧が出力される構成とされてなる、ことを特徴とする基準電圧回路。

【請求項17】

前記第1のバイポーラトランジスタのエミッタ面積と第2のバイポーラトランジスタのエミッタ面積の比が1と異なる値とされ、それぞれのコレクタに等しい定電流値が供給されるか、

あるいは、前記第1のバイポーラトランジスタのエミッタ面積と第2のバイポーラトランジスタのエミッタ面積の比が1と等しく、前記第1のバイポーラトランジスタと前記第2のバイポーラトランジスタをそれぞれ駆動する定電流の電流値の比が1と異なる値とされるか、

あるいは、前記第1のバイポーラトランジスタのエミッタ面積と第2のバイポーラトランジスタのエミッタ面積の比を1と異なる値とし、前記第1のバイポーラトランジスタと前記第2のバイポーラトランジスタをそれぞれ駆動する定電流の電流値の比が1と異なる値として、

前記第1、第2のバイポーラトランジスタのベース・エミッタ間電圧の差電圧 $\Delta V_{BE}$ は、正の温度特性を有する $V_T$ （ただし、 $V_T$ は熱電圧）に比例する値とされ、

前記カレントミラー回路の電流比を $K_2$ とし、

前記第1、第2のOTAのトランスコンダクタンスをそれぞれ $g_{m1}$ 、 $g_{m2}$ とし、

前記第2のOTAの前記出力端から出力される基準電圧 $V_{REF}$ が、前記第2のバイポーラトランジスタのベース・エミッタ間電圧を $V_{BE2}$ として、 $V_{BE2} + \{K_2 \times \Delta V_{BE} \times g_{m1}\} / g_{m2}$ で与えられる、ことを特徴とする請求項16記載の基準電圧回路。

【請求項18】

それぞれが、エミッタ接地され、ベースとコレクタが接続されており、コレクタにはそれぞれ定電流が供給される第1、及び第2のバイポーラトランジスタと

ソースが共通接続されて定電流で駆動され、前記第1、及び第2のバイポーラ

トランジスタのベース・エミッタ間電圧をゲートに差動入力するMOSトランジスタ対よりなる第1の差動対と、

入力端と、 $K+2$ 個の出力端を有し、前記入力端から前記第1の差動対の出力電流を入力とし、前記 $K+2$ 個の出力端から前記入力電流に比例した出力電流をそれぞれ出力するカレントミラー回路と、

ソースが共通接続されて定電流で駆動されるMOSトランジスタ対よりなり、一方のMOSトランジスタのゲートには、前記第2のバイポーラトランジスタのベース・エミッタ間電圧が入力され、他方のMOSトランジスタはドレインとゲートが接続されて、前記カレントミラー回路の第1の出力端に接続されている第2の差動対と、

それぞれが、ソースが共通接続されて定電流で駆動されるMOSトランジスタ対よりなり、一方のMOSトランジスタのゲートには、前段の差動対の、ドレインとゲートが接続されたMOSトランジスタのゲートが接続され、他方のMOSトランジスタはドレインとゲートが接続されて、前記カレントミラー回路の対応する出力端にそれぞれ接続されている第3乃至第 $(K+2)$ の差動対と、を備え、

前記第 $(K+2)$ の差動対のうちドレインとゲートが接続されているMOSトランジスタのドレインを出力端子として基準電圧が取り出される構成とされてなる、ことを特徴とする基準電圧回路。

#### 【請求項19】

それぞれが、エミッタ接地され、ベースとコレクタが接続されており、コレクタにはそれぞれ定電流が供給される第1、及び第2のバイポーラトランジスタと、

ソースが共通接続されて定電流で駆動され、前記第1、及び第2のバイポーラトランジスタのベース・エミッタ間電圧をゲートに差動入力するMOSトランジスタ対よりなる第1の差動対と、

一の入力端と、一の出力端を有し、前記入力端から前記第1の差動対の出力電流を入力とし、前記出力端から該入力した電流に比例した出力電流をそれぞれ出力する第1のカレントミラー回路と、

一の入力端と、 $K - 2$  個の出力端を有し、前記入力端より定電流源からの定電流を入力とし、前記  $K - 2$  個の出力端から該入力した定電流に比例した出力電流をそれぞれ出力する第 2 のカレントミラー回路と、

ソースが共通接続されて定電流で駆動される 2 つの MOS トランジスタよりなり、一方の MOS トランジスタのゲートには、前記第 2 のバイポーラトランジスタのベース・エミッタ間電圧が入力され、他方の MOS トランジスタはドレインとゲートが接続されて、前記第 2 のカレントミラー回路の第 1 の出力端に接続されている第 2 の差動対と、

それぞれが、ソースが共通接続されて定電流で駆動される 2 つの MOS トランジスタよりなり、前記各 MOS トランジスタのとドレインとゲートは接続されており、一方の MOS トランジスタのドレインは、前段の差動対のドレインとゲートが接続された他方の MOS トランジスタのドレインと共通接続されて、前記第 2 のカレントミラー回路の対応する出力端にそれぞれ接続されており、他方の MOS トランジスタのドレインは、後段の差動対のドレインとゲートが接続されている一方の MOS トランジスタのドレインと共通接続されて、前記第 2 のカレントミラー回路の対応する出力端に接続されている第 3 乃至第  $(K - 2)$  の差動対と、

ソースが共通接続されて定電流で駆動される 2 つの MOS トランジスタよりなり、前記各 MOS トランジスタのとドレインとゲートは接続されており、一方の MOS トランジスタのドレインは、第  $K - 2$  の差動対のドレインとゲートが接続された他方の MOS トランジスタのドレインと共通接続されて、前記第 1 のカレントミラー回路の前記出力端に接続されており、他方の MOS トランジスタのドレインを出力端子として基準電圧が取り出される第  $(K - 1)$  の差動対と、

を備えたことを特徴とする基準電圧回路。

#### 【請求項 20】

前記第 1 のバイポーラトランジスタのエミッタ面積と第 2 のバイポーラトランジスタのエミッタ面積の比が 1 と異なる値とされ、それぞれのコレクタに等しい定電流値が供給されるか、

あるいは、前記第 1 のバイポーラトランジスタのエミッタ面積と第 2 のバイポ

ーラトランジスタのエミッタ面積の比が 1 と等しく、前記第 1 のバイポーラトランジスタと前記第 2 のバイポーラトランジスタをそれぞれ駆動する定電流の電流値の比が 1 と異なる値とされるか、

あるいは、前記第 1 のバイポーラトランジスタのエミッタ面積と第 2 のバイポーラトランジスタのエミッタ面積の比を 1 と異なる値とし、前記第 1 のバイポーラトランジスタと前記第 2 のバイポーラトランジスタをそれぞれ駆動する定電流の電流値の比が 1 と異なる値として、

前記第 1、第 2 のバイポーラトランジスタのベース・エミッタ間電圧の差電圧  $\Delta V_{BE}$  は、正の温度特性を有する  $V_T$  (ただし、 $V_T$  は熱電圧) に比例する値とされ、

前記第 K 2 の差動対から出力される前記基準電圧が、 $V_{BE2} + K2 \times \Delta V_{BE}$  で与えられる、ことを特徴とする請求項 18 又は 19 記載の基準電圧回路。

#### 【請求項 21】

それぞれが、エミッタ接地され、ベースとコレクタが接続されており、コレクタにはそれぞれ定電流が供給される第 1、及び第 2 のバイポーラトランジスタと

ソースが共通接続されて定電流で駆動され、前記第 1、及び第 2 のバイポーラトランジスタのベース・エミッタ間電圧をそれぞれゲートに差動入力とする MOS トランジスタ対よりなる第 1 の差動対と、

一の入力端と、一の出力量を有し、前記入力端から前記第 1 の差動対の出力電流を入力とし、前記出力端から該入力した電流の所定比の出力電流を出力するカレントミラー回路と、

ソースが共通接続されて定電流で駆動される MOS トランジスタ対よりなり、一方の MOS トランジスタのゲートには、前記第 2 のバイポーラトランジスタのベース・エミッタ間電圧が入力され、他方の MOS トランジスタはドレインとゲートが接続されて、前記カレントミラー回路の前記出力端に接続されている第 2 の差動対と、を備え、

前記第 2 の差動対の他方の MOS トランジスタのドレインを出力端子として基準電圧が取り出される構成とされてなる、ことを特徴とする基準電圧回路。

## 【請求項 22】

ソースが共通接続されて定電流で駆動される第1、第2のMOSトランジスタよりなる差動対と、

前記差動対の第1、及び第2のMOSトランジスタのドレインに接続され、能動負荷をなす第3、第4のMOSトランジスタよりなる第1のカレントミラー回路と、

を含む差動増幅回路を備え、

前記第1、第2のMOSトランジスタのゲートW/L比が $1:K_2$ （ただし、 $K_2$ は1より大の整数）であり、前記第3、第4のMOSトランジスタのゲートW/L比が $K_3:1$ （ただし、 $K_3$ は1より大の整数）とされるか、

前記第1、第2のMOSトランジスタのゲートW/L比が $K_2:1$ であり、前記第3、第4のMOSトランジスタのゲートW/L比が $1:K_3$ とされ、

エミッタ接地され、ベースとコレクタが接続されており、コレクタに定電流が供給されるバイポーラトランジスタを備え、

前記第1のMOSトランジスタのゲートに前記バイポーラトランジスタのコレクタが接続されており、前記第2のMOSトランジスタのドレインとゲートが接続され、前記第2のMOSトランジスタのドレインを出力端子として基準電圧が取り出される構成とされてなる、ことを特徴とする基準電圧回路。

## 【請求項 23】

ソースが接地され、ドレインが抵抗の一端に接続され、ゲートが前記抵抗の他端と接続された第5のMOSトランジスタと、

ソースが接地されゲートが前記第5のMOSトランジスタのドレインに接続された第6のMOSトランジスタと、

一の入力端と、複数の出力端を有し、前記第6のMOSトランジスタのドレインに前記入力端が接続され、前記第4のMOSトランジスタのドレイン、前記差動対の第1、第2のMOSトランジスタの共通ソース、前記バイポーラトランジスタのコレクタにそれぞれ前記出力端が接続されている第2のカレントミラー回路と、

を備えている、ことを特徴とする請求項22記載の基準電圧回路。

## 【請求項 2 4】

ソースが共通接続されて定電流で駆動される第 1、第 2 の MOS トランジスタよりなる差動対と、

前記差動対の第 1、及び第 2 の MOS トランジスタのドレインに接続され、能動負荷をなす第 3、第 4 の MOS トランジスタよりなる第 1 のカレントミラー回路と、

前記第 2 の MOS トランジスタのドレインにゲートが接続され定電流で駆動されるソースフォロワ構成の第 5 の MOS トランジスタと、

を含む差動増幅回路を備え、

前記第 1、第 2 の MOS トランジスタのゲート  $W/L$  比が  $1 : K_2$  (ただし、 $K_2$  は 1 より大の整数) であり、前記第 3、第 4 の MOS トランジスタのゲート  $W/L$  比が  $K_3 : 1$  (ただし、 $K_3$  は 1 より大の整数) とされるか、

前記第 1、第 2 の MOS トランジスタのゲート  $W/L$  比が  $K_2 : 1$  であり、前記第 3、第 4 の MOS トランジスタのゲート  $W/L$  比が  $1 : K_3$  とされ、

前記第 5 の MOS トランジスタのソースを出力端子とし、

前記出力端子が、前記差動対の前期第 2 の MOS トランジスタのゲートに接続されて、ボルテージフォロワを構成し、

エミッタ接地され、ベースとコレクタが接続されており、コレクタに定電流が供給されるバイポーラトランジスタを備え、

前記差動対の前記第 1 の MOS トランジスタのゲートには前記バイポーラトランジスタのコレクタが接続されており、

前記出力端子より基準電圧が取り出される構成とされてなる、ことを特徴とする基準電圧回路。

## 【請求項 2 5】

ソースが接地され、ドレインが抵抗の一端に接続され、ゲートが前記抵抗の他端と接続された第 6 の MOS トランジスタと、

ソースが接地されゲートが前記第 6 の MOS トランジスタのドレインに接続された第 7 の MOS トランジスタと、

一の入力端と、複数の出力端を有し、前記第 7 の MOS トランジスタのドレイ

ンに入力端が接続され、前記第 6 の MOS トランジスタのドレイン、前記第 5 の MOS トランジスタのソース、前記差動対の第 1、第 2 の MOS トランジスタ共通ソース、前記バイポーラトランジスタのコレクタにそれぞれ出力端が接続されている第 2 のカレントミラー回路と、

を備えている、ことを特徴とする請求項 2 4 記載の基準電圧回路。

#### 【請求項 2 6】

前記エミッタが接地されベースとコレクタとが接続されたバイポーラトランジスタの代わりに、カソードが接地されたダイオードを備えている、ことを特徴とする請求項 1 6 乃至 2 4 のいずれかーに記載の基準電圧回路。

#### 【発明の詳細な説明】

##### 【0 0 0 1】

#### 【発明の属する技術分野】

本発明は、基準電圧回路に関し、特に、半導体集積回路上に形成され、温度特性を持たない基準電圧を出力する CMOS 基準電圧回路に関する。

##### 【0 0 0 2】

#### 【従来の技術】

従来この種の温度特性を相殺して温度特性を持たない 1. 2 V 前後の基準電圧を出力する基準電圧回路は数多く発表されている。

##### 【0 0 0 3】

はじめにこの基準電圧回路の動作について説明する。

##### 【0 0 0 4】

図 1 0 は、従来の CMOS 基準電圧回路であり、一般に温度に比例する電流を出力することから、「P T A T (Proportional to Absolute Temperature) カレントソース回路」と呼ばれている基準電流回路の電流ループに、抵抗を挿入して基準電圧を得ている。

##### 【0 0 0 5】

図 1 0 において、トランジスタ Q 1 を単位トランジスタとし、トランジスタ Q 2 のエミッタ面積比を単位トランジスタの K 1 倍 ( $K 1 > 1$ ) とする。

##### 【0 0 0 6】

ベース幅変調を無視すれば、トランジスタのコレクタ電流  $I_C$  とベース-エミッタ間電圧  $V_{BE}$  の関係は、次式で示される。

【0007】

$$I_C = K I_S \exp(V_{BE}/V_T) \quad (1)$$

ここで、 $I_S$  は単位トランジスタの飽和電流、 $V_T$  は熱電圧であり、 $V_T = kT/q$  と表される。ただし、 $q$  は単位電子電荷、 $k$  はボルツマン定数、 $T$  は絶対温度である。また、 $K$  は単位トランジスタに対するエミッタ面積比である。

【0008】

トランジスタの直流電流増幅率は十分に 1 に近いものとして、ベース電流を無視すれば

$$V_{BE1} = V_T \ln\{I_{C1}/I_S\} \quad (2)$$

$$V_{BE2} = V_T \ln(I_{C2}/(K_1 \cdot I_S)) \quad (3)$$

$$V_{BE1} = V_{BE2} + R_1 \cdot I_{C2} \quad (4)$$

なる関係がある。ただし、 $\ln\{\}$  は対数関数である。

【0009】

(2)式から(4)式を解くと、

$$V_T \ln\{K_1 \cdot I_{C1}/I_{C2}\} = R_1 \cdot I_{C2} \quad (5)$$

と求められる。ここで、トランジスタ  $Q_1$ 、 $Q_2$  は(4)式が成り立つように、オペアンプ 20 を介して、トランジスタ  $M_3$ 、 $M_4$  の共通ゲート電圧を制御しているため、自己バイアスされており、トランジスタ  $M_3$ 、 $M_4$  のドレイン電流  $I_{D3}$ 、 $I_{D4}$  は互いに等しく、

$$I_{D3} = I_{D4} = I_{C1} = I_{C2} \quad (6)$$

である。したがって、(5)式より、

$$I_{D3} = I_{D4} = I_{C1} = I_{C2} = V_T \ln(K_1)/R_1 \quad (7)$$

と求められる。

【0010】

トランジスタ  $M_3$  のドレイン電流  $I_{D3}$  は、抵抗  $R_2$  で電圧に変換され、基準電圧  $V_{REF}$  となる。すなわち、基準電圧  $V_{REF}$  は、

$$V_{REF} = V_{BE1} + R_2 \cdot I_{D3}$$



$$= V_{BE1} + R_2 \cdot V_T \ln(K_1) / R_1 \quad (8)$$

と表される。

【0011】

(8)式において、PTAT基準電流で駆動されるトランジスタQ1のベース・エミッタ間電圧 $V_{BE1}$ は、 $-2\text{ mV}/^\circ\text{C}$ よりも多少小さな、およそ $-1.9\text{ mV}/^\circ\text{C}$ 程度の負の温度特性を持ち、熱電圧 $V_T$ は、 $0.0853\text{ mV}/^\circ\text{C}$ の正の温度特性を持っている。

【0012】

したがって、出力される基準電圧 $V_{REF}$ が温度特性を持たないようにするためには、正の温度特性を持つ電圧と、負の温度特性を持つ電圧と、で温度特性を相殺すれば良い。

【0013】

すなわち、

$(R_2/R_1) \ln(K_1)$ の値は、22.3となり、

$(R_2/R_1) V_T \ln(K_1)$ の値は、0.57V

となる。

【0014】

いま、ベース・エミッタ間電圧 $V_{BE1}$ を0.7Vとすると、

$$\{V_{BE1} + (R_2/R_1) V_T \ln(K_1)\}$$

$$= 1.27\text{ V}$$

と求められる。

【0015】

【発明が解決しようとする課題】

従来、この種の温度特性を持たない基準電圧を出力する基準電圧回路では帰還回路にオペアンプを用い、PTATカレントソース回路の電流ループに抵抗を挿入しているために、所望の抵抗比が必要であり、また、1本の抵抗でおよそ0.

6V程度の電圧降下が必要とされる。このため、ダイオード接続されたトランジスタの駆動電流を絞ろうとすると大きな抵抗値を実現する必要があり、チップサイズの増大につながった。

## 【0016】

アナログLSIではもちろん、メモリなどのデジタルLSIをはじめ多くのLSI内に実現される回路のバイアス電圧を始めとして、基準電圧回路は、日常的に用いられている。特に、温度特性を持たない電圧を出力する基準電圧回路は、一般には、「バンドギャップ基準電圧回路」と呼びならわされている。

## 【0017】

その出力電圧は、Si（シリコン）の絶対零度でのバンドギャップ電圧1.205Vに近い電圧となっている。

## 【0018】

CMOSプロセスが全盛となった今日では、CMOSプロセスで簡単に実現できる部品素子で回路が実現できることが望まれている。特に、標準的なデジタル用CMOSプロセスで、回路が無理無く実現できるほうが望ましい。この場合、高精度の抵抗比や高抵抗はチップサイズの増大につながる。

## 【0019】

したがって、本発明が解決しようとする課題は、温度特性を持たない電圧を出力する基準電圧回路を高精度の抵抗比や高抵抗を用いずにトランジスタだけで実現でき、回路構成を簡易化する基準電圧回路を提供することにある。

## 【0020】

## 【課題を解決するための手段】

上記課題を解決するための手段を提供する本発明は、それぞれが接地されて電流比が一定の2つの定電流で駆動される第1、第2のダイオード接続されたトランジスタ（あるいはダイオード）と、前記第1、または第2のダイオード接続されたトランジスタ（あるいはダイオード）からの出力電圧に前記第1のダイオード接続されたトランジスタ（あるいはダイオード）と前記第2のダイオード接続されたトランジスタ（あるいはダイオード）の2つの出力電圧の差電圧を一定倍に増幅し加算する手段を有する基準電圧回路において、前記増幅し加算する手段が第1、第2のオペレーショナルトランスコンダクタンスアンプ（「OTA」という）と、カレントミラー回路とから構成されており、第1のOTAは前記差電圧を入力し、第2のOTAは前記第1、または第2のダイオード接続されたトラ

ンジスタ（あるいはダイオード）からの出力電圧が正相入力端子に印加され、逆相入力端子は出力端子に接続されて前記第1のOTAの出力電流に比例する電流で駆動され、前記第1のOTAと前記第2のOTAはトランスコンダクタンスが  $g_{m1}$ 、 $g_{m2}$  であり、前記第2のOTAの出力端子電圧を出力電圧する。

## 【0021】

本発明においては、前記2つのOTAのトランスコンダクタンスが等しく ( $g_{m1} = g_{m2}$ )、前記カレントミラー回路の電流比を  $1 : K_2$  ( $K_2 > 1$ ) とすることで所望の増幅度を得ている。

## 【0022】

本発明においては、前記カレントミラー回路の電流比が等しく ( $1 : 1$ )、前記2つのOTAのトランスコンダクタンスを ( $g_{m1} = K_2 g_{m2}$ )、( $K_2 > 1$ ) とすることで所望の増幅度を得るようにしてもよい。

## 【0023】

本発明においては、前記カレントミラー回路の電流比を  $1 : K_2$  ( $K_2 > 1$ ) とし、前記2つのOTAのトランスコンダクタンスを ( $g_{m1} = K_3 g_{m2}$ )、( $K_3 > 1$ ) とすることで所望の増幅度を得るようにしてもよい。

## 【0024】

本発明は、それぞれが接地されて電流比が一定の2つの定電流で駆動される第1、第2のダイオード接続されたトランジスタ（あるいはダイオード）と、前記第1、または第2のダイオード接続されたトランジスタ（あるいはダイオード）からの出力電圧に前記第1のダイオード接続されたトランジスタ（あるいはダイオード）と前記第2のダイオード接続されたトランジスタ（あるいはダイオード）の2つの出力電圧の差電圧を一定倍に増幅し加算する手段を有する基準電圧回路において、前記増幅し加算する手段が ( $K_2 + 1$ ) 個の差動対から構成され、第1の差動対は前記差電圧を入力し、第2の差動対は前記第1、または第2のダイオード接続されたトランジスタ（あるいはダイオード）からの出力電圧が差動トランジスタの一方に印加され、差動トランジスタの他方はダイオード接続されて前記第1の差動対の一方の出力電流に比例する電流で駆動され、第3から第 ( $K_2 + 1$ ) の差動対はそれぞれ前段の前記第2から第  $K_2$  の差動対のダイオード

接続されたトランジスタからの出力電圧が差動トランジスタの一方に印加され、差動トランジスタの他方はダイオード接続されていていずれも前記第 1 の差動対の一方の出力電流に比例する電流で駆動され、前記第 1 から第  $(K 2 + 1)$  の差動対はそれぞれ電流比が一定の  $(K 2 + 1)$  の定電流で駆動され、前記第 2 から第  $(K 2 + 1)$  の差動対の差動入力電圧が全て加算されることで所望の増幅度を得ている。

## 【 0 0 2 5 】

あるいは、本発明は、それぞれが接地されて電流比が一定の 2 つの定電流で駆動される第 1、第 2 のダイオード接続されたトランジスタ（あるいはダイオード）と、前記第 1、または第 2 のダイオード接続されたトランジスタ（あるいはダイオード）からの出力電圧に前記第 1 のダイオード接続されたトランジスタ（あるいはダイオード）と前記第 2 のダイオード接続されたトランジスタ（あるいはダイオード）の 2 つの出力電圧の差電圧を一定倍に増幅し加算する手段を有する基準電圧回路において、前記増幅し加算する手段が  $(K 2 + 1)$  個の差動対から構成され、第 1 の差動対は前記差電圧を入力し、第 2 の差動対は前記第 1、または第 2 のダイオード接続されたトランジスタ（あるいはダイオード）からの出力電圧が差動トランジスタの一方に印加され、差動トランジスタの他方はダイオード接続され、第 3 から第  $K 2$  の差動対の差動トランジスタはいずれもダイオード接続され、それぞれ前段のダイオード接続された差動トランジスタと後段のダイオード接続された差動トランジスタとが電流比が一定の  $K 2$  の定電流で駆動され、第  $(K 2 + 1)$  の差動対の差動トランジスタはいずれもダイオード接続され、一方のダイオード接続された差動トランジスタは前段のダイオード接続された差動トランジスタとで定電流で駆動され、ダイオード接続された他方の差動トランジスタは前記第 1 の差動対の一方の出力電流に比例する電流で駆動され、前記第 1 から第  $(K 2 + 1)$  の差動対はそれぞれ電流比が一定の  $(K 2 + 1)$  の定電流で駆動され、前記第 2 から第  $(K 2 + 1)$  の差動対の差動入力電圧が全て加算されることで所望の増幅度を得ている。

## 【 0 0 2 6 】

さらに本発明は、それぞれが接地されて電流比が一定の 2 つの定電流で駆動さ

れる第 1、第 2 のダイオード接続されたトランジスタ（あるいはダイオード）と、前記第 1、または第 2 のダイオード接続されたトランジスタ（あるいはダイオード）からの出力電圧に前記第 1 のダイオード接続されたトランジスタ（あるいはダイオード）と前記第 2 のダイオード接続されたトランジスタ（あるいはダイオード）の 2 つの出力電圧の差電圧を一定倍に増幅し加算する手段を有する基準電圧回路において、前記増幅し加算する手段が 2 つの差動対から構成され、第 1 の差動対は前記差電圧を入力し、第 2 の差動対は前記第 1、または第 2 のダイオード接続されたトランジスタ（あるいはダイオード）からの出力電圧が差動トランジスタの一方に印加され、差動トランジスタの他方はダイオード接続されて前記第 1 の差動対の一方の出力電流に比例する電流で駆動され、前記第 1 の差動対と前記第 2 の差動対はそれぞれ電流比が一定の 2 つの定電流で駆動され、前記第 2 の差動対の動作入力電圧範囲を前記第 1 の差動対の動作入力電圧範囲に対して一定倍とすることで所望の増幅度を得る構成としてもよい。

## 【 0 0 2 7 】

本発明においては、前記第 1 のダイオード接続されたトランジスタ（あるいはダイオード）と前記第 2 のダイオード接続されたトランジスタ（あるいはダイオード）とが等しく、駆動電流の比が 1 と異なるようにしてもよい。

## 【 0 0 2 8 】

本発明においては、前記第 1 のダイオード接続されたトランジスタ（あるいはダイオード）のサイズが前記第 2 のダイオード接続されたトランジスタ（あるいはダイオード）のサイズの  $K$  1 倍であり、駆動電流の比が 1 と異なるようにしてもよい。

## 【 0 0 2 9 】

本発明においては、前記第 1 のダイオード接続されたトランジスタ（あるいはダイオード）のサイズと前記第 2 のダイオード接続されたトランジスタ（あるいはダイオード）のサイズが異なり、駆動電流の比が 1 であるようにしてもよい。

## 【 0 0 3 0 】

本発明においては、前記第 1 の差動対を構成するトランジスタのゲート  $W/L$ （ $W$  はゲート幅、 $L$  はゲート長）比が前記第 2 の差動対を構成するトランジスタ

のゲートW/L比のK 2 倍であり、前記第 2 の差動対の駆動電流が前記第 1 の差動対の駆動電流のK 3 倍であり、前記第 1 の差動対の出力電流がK 3 倍されて前記第 2 の差動対のダイオード接続されたトランジスタを駆動することで所望の増幅度を得るようにしてもよい。

## 【 0 0 3 1 】

本発明は、接地されて定電流で駆動されるダイオード接続されたトランジスタ（あるいはダイオード）と、前記ダイオード接続されたトランジスタ（あるいはダイオード）からの出力電圧を受けるボルテージフォロワ形のオフセットを有するオペアンプから構成されている。

## 【 0 0 3 2 】

本発明においては、前記オペアンプは定電流駆動され入力差動対を構成する 2 つのトランジスタが、ゲートW/L比が 1 : K 2 であり、前記 2 つのトランジスタの負荷となるアクティブロードを構成する 2 つのトランジスタのゲートW/L比がK 3 : 1 であり、オフセットが加算される。

## 【 0 0 3 3 】

本発明においては、前記オペアンプは定電流駆動され入力差動対を構成する 2 つのトランジスタが、ゲートW/L比がK 2 : 1 であり、前記 2 つのトランジスタの負荷となるアクティブロードを構成する 2 つのトランジスタのゲートW/L比が 1 : K 3 であり、オフセットが減算される。

## 【 0 0 3 4 】

## 【発明の実施の形態】

発明の実施の形態について説明する。エミッタ接地されダイオード接続された 2 つのトランジスタをカレントミラー回路で駆動し、ベース－エミッタ間電圧  $V_{BE}$  が異なるように、2 つのトランジスタの電流密度を異ならせると、2 つのトランジスタのベース－エミッタ間電圧はその差電圧 ( $\Delta V_{BE}$ ) をとると、絶対温度に比例する電圧となり、熱電圧  $V_T$  に比例する電圧が得られる。

## 【 0 0 3 5 】

一方、トランジスタのベース－エミッタ間電圧  $V_{BE}$  は、およそ  $-2 \text{ mV}/^{\circ}\text{C}$  から  $-1.9 \text{ mV}/^{\circ}\text{C}$  程度の負の温度特性を持つ。

## 【 0 0 3 6 】

一般に、従来の基準電圧回路では、絶対温度に比例する電圧  $V_{PTAT}$  と絶対温度に反比例する電圧  $V_{IPTAT}$  の電圧を重み付け加算することで、温度特性を持たない一定電圧を出力する基準電圧回路を実現している。

## 【 0 0 3 7 】

この一定電圧は、 $V_{PTAT} + V_{IPTAT} \cong 1.2 \text{ V}$  前後の電圧値となる。

## 【 0 0 3 8 】

従来の基準電圧回路では、この  $V_{PTAT}$  と  $V_{IPTAT}$  の電圧の重み付け加算は、 $V_{IPTAT}$  の  $P T A T$  電流路に抵抗を挿入して得ており、「 $\Delta V$  マルチプライヤ」と呼ばれていた。

## 【 0 0 3 9 】

本発明は、こうした抵抗を用いずに、差動対を用いて行うものである。

## 【 0 0 4 0 】

本発明は、その一実施の形態において、図 1 を参照すると、差動入力電圧と出力電流が比例し、トランスコンダクタンスが直線的な特徴を有する 2 つの  $O T A$  間で、2 つのバイポーラトランジスタ  $Q 1$ 、 $Q 2$  のベース－エミッタ間電圧  $V_{BE}$  の差電圧  $\Delta V_{BE} (= V_{BE2} - V_{BE1})$  に比例する第 1 の  $O T A$  ( 1 1 ) の出力電流 ( $g_{m1} \Delta V_{BE}$ ) と一定比 ( $K2$ ) の電流 ( $K 2 \times g_{m1} \Delta V_{BE}$ ) を、第 2 の  $O T A$  ( 1 2 ) に流し込むことで、差電圧  $\Delta V_{BE}$  に一定値を乗した電圧値を得て、 $V_{PTAT}$  ( $= K2 \times g_{m1} \Delta V_{BE} / g_{m2}$ ) とし、第 2 の  $O T A$  ( 1 2 ) において、トランジスタ  $Q 2$  のベース－エミッタ間電圧  $V_{BE2}$  を、 $V_{PTAT}$  に加算出力することで、所望の温度特性を持たない一定電圧  $V_{REF}$  を得ている。

## 【 0 0 4 1 】

本発明は、別の実施の形態として、図 5、図 6 に示したように、複数個の差動対を縦続接続して、それぞれの差動対の差動入力端に印加される差電圧が互いに等しく、差電圧  $\Delta V$  になるように設定し、最終段の差動対から、差電圧  $\Delta V$  の複数倍の電圧を、絶対温度に比例する電圧  $V_{PTAT}$  として得ている。

## 【 0 0 4 2 】

あるいは、図 7 に示したように、差動対のトランスファカーブ (伝達特性) は

、駆動電流  $I_0$  と差動トランジスタのトランスコンダクタンスパラメータ  $\beta$  の比の平方根  $\sqrt{I_0/\beta}$  (電圧) で規格化することができ、一定となる。

【 0 0 4 3 】

すなわち、第 1 の差動対  $M_1$ 、 $M_2$  に印加された電圧により一方のトランジスタに流れる規格化電流と等しい規格化電流が流れるように、第 2 の差動対  $M_3$ 、 $M_4$  の一方のトランジスタに流すと、第 2 の差動対の入力端子間電圧は、2 つの差動対の規格化電圧の比で乗算 (比が 1 より小さい場合には除算) されることになる。

【 0 0 4 4 】

したがって、第 2 の差動対の他方の入力端子に印可される電圧に、第 1 の差動対の入力端子間に印加された電圧を乗算した形で加算することができる。

【 0 0 4 5 】

あるいは、図 8 に示すように、不平衡差動対から構成されるボルテージフォロワのオペアンプ (不平衡入力差動対  $M_1$ 、 $M_2$  と能動負荷素子  $M_3$ 、 $M_4$ 、出力段  $M_5$ 、位相補償回路  $RC$ 、 $CC$  を備える) に生じるオフセット電圧  $V_{OS}$  を、絶対温度に比例する電圧  $V_{PTAT}$  として得ている。オペアンプは、定電流で駆動され、入力差動対を構成する 2 つのトランジスタ  $M_1$ 、 $M_2$  は、ゲート  $W/L$  比 (ゲート幅/ゲート長) が  $1:K_2$  であり、2 つのトランジスタ  $M_1$ 、 $M_2$  の負荷となるアクティブロードを構成する 2 つのトランジスタ  $M_3$ 、 $M_4$  (カレントミラー回路構成) のゲート  $W/L$  比が  $K_3:1$  であり、オフセットが加算される。あるいは、入力差動対を構成する 2 つのトランジスタが、ゲート  $W/L$  比が  $K_2:1$  であり、前記 2 つのトランジスタの負荷となるアクティブロードを構成する 2 つのトランジスタのゲート  $W/L$  比が  $1:K_3$  であり、オフセットが減算される。

【 0 0 4 6 】

またソースが接地され、ドレインが抵抗  $R_1$  の一端に接続され、ゲートが抵抗  $R_1$  の他端と接続された MOS トランジスタ  $M_{10}$  と、ソースが接地されゲートが MOS トランジスタのドレインに接続された MOS トランジスタ  $M_{11}$  と、MOS トランジスタ  $M_{11}$  のドレインに入力端が接続され、MOS トランジスタ  $M$



10、前記差動対の第1、第2のMOSトランジスタM1、M2の共通ソース、ソースフォロワ構成のMOSトランジスタM5、バイポーラトランジスタQ1のコレクタにそれぞれ定電流を供給するカレントミラー回路を備えた構成としてもよい。

【0047】

【実施例】

本発明の実施例について図面を参照して説明する。図1は、本発明をCMOS基準電流回路として実施した一実施例の回路構成を示す図である。図1を参照すると、それぞれが、エミッタ接地され、ベースとコレクタが接続されており、それぞれのコレクタに定電流がそれぞれ供給される第1、及び第2のトランジスタQ1、Q2と、正相入力端子(+)と逆相入力端子(-)の差電圧に応じた電流を出力する第1、及び第2のトランスダクタンスアンプ(「OTA」と略記される)11、12と、入力端子に入力される電流と出力端子から出力される電流の比が所定値K2であるカレントミラー回路13と、を備え、第1のOTA11の逆相入力端子(-)、及び正相入力端子(+)には、第1、及び第2のトランジスタQ1、Q2のコレクタ(とベースの接続点)がそれぞれ接続されており、第1のOTA11の出力端子はカレントミラー回路13の入力端子に接続されており、第2のOTA12の正相入力端子(+)、及び逆相入力端子(-)には、カレントミラー回路13の出力端子、及び第2のトランジスタQ2のコレクタがそれぞれ接続され、さらに、第2のOTA12の出力端子は第2のOTA12の正相入力端子(+)に接続されており、第2のOTA12の出力端子から、基準電圧VREFが出力される。

【0048】

図1に示した実施例において、ダイオード接続された二つのトランジスタQ1、Q2について、トランジスタQ1のエミッタ面積は、トランジスタQ2のエミッタ面積のK1倍であるとする。トランジスタQ1、Q2のコレクタは、定電流源14からの定電流I0を入力端子から入力とするカレントミラー回路(PチャネルMOSトランジスタM1、M2、M3)の出力端(PチャネルMOSトランジスタM2、M3のドレイン)に接続されており、電流値I0がコレクタに流れる。

【0049】

トランジスタの直流電流増幅率は十分に1に近いものとして、ベース電流を無視すれば、トランジスタQ1、Q2のベース-エミッタ間電圧 $V_{BE1}$ 、 $V_{BE2}$ は(1)式により、

$$\begin{aligned} V_{BE1} &= V_T \ln \{I_{C1} / (K_1 I_S)\} \\ &= V_T \ln \{I_0 / (K_1 I_S)\} \end{aligned} \quad (9)$$

$$\begin{aligned} V_{BE2} &= V_T \ln (I_{C2} / I_S) \\ &= V_T \ln (I_0 / I_S) \end{aligned} \quad (10)$$

と表される。

【0050】

ベース・エミッタ間電圧 $V_{BE1}$ 、 $V_{BE2}$ の差電圧 $\Delta V_{BE}$ は、

$$\begin{aligned} \Delta V_{BE} &= V_{BE2} - V_{BE1} \\ &= V_T \ln (K_1) \end{aligned} \quad (11)$$

と求められる。

【0051】

このように、エミッタ接地され、ダイオード接続された2つのトランジスタQ1、Q2をカレントミラー回路で駆動し、ベース-エミッタ間電圧が異なるように、2つのトランジスタの電流密度を異ならせ、2つのトランジスタQ1、Q2のベース-エミッタ間電圧の差電圧 $\Delta V_{BE}$ をとると、その差電圧 $\Delta V_{BE}$ は、絶対温度に比例する電圧となり、したがって熱電圧 $V_T$ に比例する電圧が得られる。

【0052】

また、(12)式からわかるように、2つのトランジスタの電流密度を異ならせて2つのトランジスタのベース-エミッタ間電圧に電圧差が生じるようにするには、上述したように、

・ 2つのトランジスタQ1、Q2のコレクタに供給される駆動電流を等しくして2つのトランジスタQ1、Q2のエミッタ面積を異ならせるか、あるいは、

・ 2つのトランジスタQ1、Q2のエミッタ面積を等しくして駆動電流を異ならせるか、あるいは、

・ 駆動電流を異ならせ、しかも、2つのトランジスタQ1、Q2のエミッタ面

積を異ならせるか、

のいずれの方法でも有効であることがわかる。

【0053】

次に、2つのOTAを用いた乗算加算回路について、説明する。

【0054】

第1のOTA11はトランスコンダクタンスが $g_{m1}$ であり、差電圧 $\Delta V_{BE}$ が入力され、電流 $g_{m1} \Delta V_{BE}$ を引き込んでいる。第2のOTA12はトランスコンダクタンスが $g_{m2}$ であり、逆相入力端子(-)には一方のトランジスタのベース-エミッタ間電圧 $V_{BE2}$ が印加され、正相入力端子(+)は出力端子と共通接続されてカレントミラー回路13を介して、電流 $K2 \times g_{m1} \Delta V_{BE}$ で駆動されている。

【0055】

この2つのOTA11、12が電圧乗算回路機能を有するためには、図2に示すように、2つのトランスコンダクタンスが等しく( $g_{m1} = g_{m2}$ )、カレントミラー回路13の電流比(入力電流値:ミラー電流値)を $1 : K2$ ( $K2 > 1$ )に設定した場合に、電圧利得が $K2$ となり、出力電圧として、第2のOTA12の出力電流は、

$$K2 \times g_{m1} \Delta V_{BE} \quad (12)$$

であることから、第2のOTA12の入力差電圧は出力電流をトランスコンダクタンス $g_{m2}$ で除した値となり、

$$\Delta V = K2 g_{m1} \Delta V_{BE} / g_{m2} = K2 \Delta V_{BE} \quad (13)$$

が得られる。

【0056】

基準電圧 $V_{REF}$ を出力する第2のOTA12の出力端子は、正相入力端子(+)に接続されており、逆相入力端子(-)の電圧は、 $V_{BE2}$ であり、 $\Delta V = (V_{REF} - V_{BE2})$ であることから、

$$\begin{aligned} V_{REF} &= V_{BE2} + K2 \Delta V_{BE} \\ &= V_{BE2} + K2 \cdot V_T \ln(K1) \end{aligned} \quad (14)$$

となる。

## 【0057】

(14)式において、定電流 $I_0$ で駆動されるトランジスタ $Q_2$ のベース-エミッタ間電圧 $V_{BE2}$ はおよそ $-2\text{ mV}/^\circ\text{C}$ 程度の負の温度特性を持ち、熱電圧 $V_T$ は $0.0853\text{ mV}/^\circ\text{C}$ の正の温度特性を持っている。

## 【0058】

したがって、出力される基準電圧 $V_{REF}$ が温度特性を持たないようにするためには、正の温度特性を持つ電圧と負の温度特性を持つ電圧とで温度特性を相殺すれば良い。

## 【0059】

すなわち、 $K_2 \ln(K_1)$ の値は $23.45$ となり、

$K_2 \cdot V_T \ln(K_1)$ の値は

$0.61\text{ V}$ となる。

いま、 $V_{BE2}$ を $0.7\text{ V}$ とすると、

$\{V_{BE2} + K_2 \cdot V_T \ln(K_1)\} = 1.31\text{ V}$ と求められる。

## 【0060】

あるいは、この2つのOTAが電圧乗算回路機能を有するためには、図3に示すように、2つのトランスコンダクタンスが異なり、

$$g_{m1} = K_2 g_{m2} \quad (K_2 > 1),$$

カレントミラー回路の電流比を $1:1$ に設定した場合に、電圧利得が $K_2$ となり、出力電圧として、差動電圧 $K_2 \Delta V$

$$K_2 \Delta V = g_{m1} \Delta V_{BE} / g_{m2} = K_2 \Delta V_{BE} \quad (15)$$

が得られる場合でも良い。したがって、

$$\begin{aligned} V_{REF} &= V_{BE2} + K_2 \Delta V_{BE} \\ &= V_{BE2} + K_2 \cdot V_T \ln(K_1) \end{aligned} \quad (16)$$

となる。

## 【0061】

(16)式において、定電流 $I_0$ で駆動されるトランジスタ $Q_2$ のベース-エミッタ間電圧 $V_{BE2}$ は、およそ $-2\text{ mV}/^\circ\text{C}$ 程度の負の温度特性を持ち、熱電圧 $V_T$ は $0.0853\text{ mV}/^\circ\text{C}$ の正の温度特性を持っている。したがって、出力される基準

電圧  $V_{REF}$  が温度特性を持たないようにするためには、正の温度特性を持つ電圧と負の温度特性を持つ電圧とで温度特性を相殺すれば良い。

【 0 0 6 2 】

すなわち、 $K_2 \ln(K_1)$  の値は 2 3 . 4 5 となり、

$K_2 \cdot V_T \ln(K_1)$  の値は 0 . 6 1 V

となる。いま、 $V_{BE2}$  を 0 . 7 V とすると、

$\{V_{BE2} + K_2 \cdot V_T \ln(K_1)\} = 1 . 3 1 V$

と求められる。

【 0 0 6 3 】

あるいは、この 2 つの O T A が電圧乗算回路機能を有するためには、図 4 に示すように、2 つのトランスコンダクタンスが異なり

$g_{m1} = K_3 g_{m2} \ (K_3 > 1)$ 、

カレントミラー回路の電流比を 1 :  $K_2$  に設定した場合に電圧利得が  $K_4$  となり、出力電圧として差動電圧  $K_4 \Delta V$

$$K_4 \Delta V = K_2 g_{m1} \Delta V_{BE} / g_{m2} = K_2 \cdot K_3 \Delta V_{BE} \quad (17)$$

が得られる場合でも良い。

【 0 0 6 4 】

したがって、

$$V_{REF} = V_{BE2} + K_4 \Delta V_{BE}$$

$$= V_{BE2} + K_2 \cdot K_3 \cdot V_T \ln(K_1) \quad (18)$$

となる。

【 0 0 6 5 】

(18) 式において、定電流  $I_0$  で駆動されるトランジスタ  $Q_2$  のベース-エミッタ間電圧  $V_{BE2}$  は、およそ  $-2 \text{ mV}/^\circ\text{C}$  程度の負の温度特性を持ち、熱電圧  $V_T$  は  $0 . 0 8 5 3 \text{ mV}/^\circ\text{C}$  の正の温度特性を持っている。したがって、出力される基準電圧  $V_{REF}$  が温度特性を持たないようにするためには、正の温度特性を持つ電圧と負の温度特性を持つ電圧とで温度特性を相殺すれば良い。

【 0 0 6 6 】

すなわち、 $K_2 \cdot K_3 \ln(K_1)$  の値は 2 3 . 4 5 となり、

$K2 \cdot K3 \cdot VT \ln(K1)$  の値は  $0.61 \text{ V}$  となる。

いま、 $V_{BE2}$  を  $0.7 \text{ V}$  とすると、

$$\{V_{BE2} + K2 \cdot K3 \cdot VT \ln(K1)\} = 1.31 \text{ V}$$

と求められる。

#### 【0067】

次に、本発明の第2の実施例について説明する。図5は、本発明のCMOS基準電流回路の第2の実施例の回路構成を示す図である。図5を参照すると、この実施例は、それぞれがエミッタ接地され電流比が一定の2つの定電流で駆動される第1、第2のダイオード接続されたトランジスタ $Q1$ 、 $Q2$ を備え、二つのトランジスタ $Q1$ 、 $Q2$ からの出力電圧（コレクタ電圧）にトランジスタ $Q1$ 、 $Q2$ の出力電圧の差電圧を一定倍に増幅し加算する手段として、 $(K2+1)$  個の差動対を備えている。

#### 【0068】

第1の差動対 $M1$ 、 $M2$ は、トランジスタ $Q1$ 、 $Q2$ の出力電圧の差電圧を差動入力する。

#### 【0069】

第2の差動対 $M3$ 、 $M4$ は、トランジスタ $Q2$ の出力電圧（コレクタ電圧）が、差動対の一方のトランジスタ $M3$ のゲートに印加され、差動対の他方のトランジスタ $M4$ はダイオード接続されており、第1の差動対の一方のトランジスタ $M2$ の出力電流に比例する電流で駆動されている。

#### 【0070】

第3～第 $(K2+1)$ の差動対は、それぞれ、前段の第2～第 $K2$ の差動対のトランジスタのうち、ダイオード接続された他方のトランジスタ $M4 \sim M(2K2)$ からの出力電圧が、第3～第 $(K2+1)$ の差動対の一方のトランジスタのゲートに印加され、該差動対の他方のトランジスタはダイオード接続されており、いずれも第1の差動対の一方のトランジスタ $M2$ の出力電流に比例する電流で駆動されている。

#### 【0071】

第1から第 $(K2+1)$ の差動対のそれぞれは、電流比が一定の $(K2+1)$

個の定電流で駆動されている。

【0072】

第 $(K2+1)$ の差動対のトランジスタのうちダイオード接続されたトランジスタ $M(2K2+2)$ の出力電圧を基準電圧 $V_{REF}$ として出力しており、第2から第 $(K2+1)$ の差動対の差動入力電圧が、全て加算されることで所望の増幅度を得ている。

【0073】

図5を参照すると、ソースが電源 $V_{DD}$ に共通接続され、ゲートが共通接続されている $(K2+4)$ 個のPチャネルMOSトランジスタ $MP1$ 、 $MP2 \sim MP(K2+4)$ は、 $(K2+3)$ 個の出力を有する第1のカレントミラー回路を構成しており、ドレインとゲートが接続されたPチャネルMOSトランジスタ $MP1$ のドレインは定電流源15に接続され、定電流 $I_0$ を第1のカレントミラー回路の入力電流とし、PチャネルMOSトランジスタ $MP2$ 、 $MP3$ のドレインからは、第1、第2のトランジスタ $Q1$ 、 $Q2$ のコレクタに定電流がそれぞれ供給されており、PチャネルMOSトランジスタ $MP4 \sim MP(K2+4)3$ のドレインからは、第1～第 $(K2+1)$ の差動対の共通接続されたソースに定電流が供給される。またソースが接地されドレインとゲートが接続されドレインがトランジスタ $M2$ に接続されているトランジスタ $MN01$ と、ソースが接地されゲートがトランジスタ $MN01$ のゲートと共通接続されるNチャネルMOSトランジスタ $MN02$ 、 $MN03$ 、 $MN(K2+1)$ とは第2のカレントミラー回路を構成している。

【0074】

第1の差動対をなすトランジスタ $M1$ 、 $M2$ のゲートには、エミッタ接地されダイオード接続された第1、第2のトランジスタ $Q1$ のベース・エミッタ間電圧 $V_{BE1}$ 、 $V_{BE2}$ の差電圧 $\Delta V_{BE}$ が印加される。トランジスタ $M1$ のドレインは接地されており、トランジスタ $M2$ のドレインは、第2のカレントミラー回路の入力端をなすNチャネルMOSトランジスタ $MN01$ のドレインに接続されている。

【0075】

第2の差動対をなすトランジスタ $M3$ 、 $M4$ について、一方のトランジスタ $M$

3のゲートには、トランジスタQ2のコレクタが接続されており、トランジスタQ2のベース・エミッタ間電圧 $V_{BE2}$ が印加され、他方のトランジスタM4のゲートとドレインは共通接続され（ダイオード接続され）、NチャネルMOSトランジスタMN02のドレインに接続され、トランジスタM4は、第1の差動対を構成する他方のトランジスタM2に流れる電流に比例した電流で駆動されている。第2の差動対のトランジスタM3、M4のゲートに印加される入力差動電圧は、第1の差動対のトランジスタM1、M2のゲートに印加される入力差動電圧と等しく、 $\Delta V_{BE}$ となっており、MOSトランジスタM4のゲート電圧は、MOSトランジスタM3のゲート電圧（トランジスタQ2のベース・エミッタ間電圧 $V_{BE2}$ ）に $\Delta V_{BE}$ 加算したものとされ、この電圧（ $V_{BE2} + \Delta V_{BE}$ ）が、第3の差動対の一方のトランジスタM5のベースに入力されている。第3の差動対の他方のトランジスタM6はダイオード接続され、第2のカレントミラー回路の出力トランジスタM03のドレインに接続されており、トランジスタM5、M6のゲートに入力される差電圧は、第1の差動対のトランジスタM1、M2のゲートに印加される入力差動電圧と等しく $\Delta V_{BE}$ となっており、トランジスタM6のゲート電圧は、トランジスタM5のゲート電圧（ $V_{BE2} + \Delta V_{BE}$ ）に $\Delta V_{BE}$ 加算したもの（ $= V_{BE2} + 2 \Delta V_{BE}$ ）とされ、この電圧が、図示されない第4の差動対トランジスタの一方のトランジスタのベースに入力されている。第3から第（ $K2 + 1$ ）の差動対についても、同様とされ、差動電圧は等しく、出力電圧は、前段の差動対の出力電圧よりも、 $\Delta V_{BE}$ 高くなり、n段の差動対のダイオード接続された他方のトランジスタの出力電圧は、 $V_{BE2} + (n - 1) \times \Delta V_{BE}$ とされ、第（ $K2 + 1$ ）の差動対のダイオード接続された他方のトランジスタM（ $2K2 + 2$ ）の出力電圧である基準電圧 $V_{REF}$ は、 $V_{BE2} + K2 \times \Delta V_{BE}$  で与えられる。

【0076】

$$V_{REF} = V_{BE2} + K2 \Delta V_{BE}$$

$$= V_{BE2} + K2 \cdot V_T \ln(K1) \quad (19)$$

となる。

【0077】

(19)式において、定電流 $I_0$ で駆動されるトランジスタQ2のベース・エミッタ



間電圧  $V_{BE2}$  は、およそ  $-2 \text{ mV}/^{\circ}\text{C}$  程度の負の温度特性を持ち、熱電圧  $V_T$  は  $0.0853 \text{ mV}/^{\circ}\text{C}$  の正の温度特性を持っている。

【0078】

したがって、出力される基準電圧  $V_{REF}$  が温度特性を持たないようにするためには、正の温度特性を持つ電圧と負の温度特性を持つ電圧とで温度特性を相殺すれば良い。

【0079】

すなわち、 $K2 \ln(K1)$  の値は  $23.45$  となり、

$K2 \cdot V_T \ln(K1)$  の値は  $0.61 \text{ V}$  となる。

いま、 $V_{BE2}$  を  $0.7 \text{ V}$  とすると、

$$\{V_{BE2} + K2 \cdot V_T \ln(K1)\} = 1.31 \text{ V}$$

と求められる。

【0080】

次に、本発明の第3の実施例について説明する。図6は、本発明のCMOS基準電流回路の第3の実施例を示す回路図である。図6を参照すると、この実施例は、それぞれが接地されて電流比が一定の2つの定電流で駆動される第1、第2のダイオード接続されたトランジスタ  $Q1$ 、 $Q2$  を備え、第1、または第2のダイオード接続されたトランジスタ  $Q1$  からの出力電圧に、トランジスタ  $Q1$ 、 $Q2$  の2つの出力電圧の差電圧を一定倍に増幅し加算する手段として、 $(K2 + 1)$  個の差動対を備えている。

【0081】

第1の差動対  $M1$ 、 $M2$  は、トランジスタ  $Q1$ 、 $Q2$  の出力電圧の差電圧を入力し、第2の差動対  $M3$ 、 $M4$  は、トランジスタ  $Q2$  からの出力電圧が差動対の一方のトランジスタ  $M3$  に印加され、差動対の他方のトランジスタ  $M4$  はダイオード接続されている。

【0082】

第3～第  $K2$  の差動対の差動トランジスタ  $M5$ 、 $M6 \sim M(2K2 - 1)$ 、 $M(2K2)$  は、いずれもダイオード接続され、それぞれ、前段の差動対のダイオード接続されたトランジスタと後段の差動対のダイオード接続されたトランジス

タとが電流比が一定の $K2$ の定電流で駆動され、第 $(K2+1)$ の差動対のトランジスタ $M(2K2+1)$ 、 $M(2K2+2)$ はいずれもダイオード接続され、一方のダイオード接続されたトランジスタ $M(2K2+1)$ は前段の差動対のダイオード接続されたトランジスタ $M(2K2)$ とともに定電流で駆動され、ダイオード接続された他方のトランジスタ $M(2K2+2)$ は、第1の差動対の一方の出力電流に比例する電流で駆動されている。

## 【0083】

第1から第 $(K2+1)$ の差動対は、それぞれ電流比が一定の $(K2+1)$ の定電流で駆動され、前記第2から第 $(K2+1)$ の差動対の差動入力電圧が全て加算されることで所望の増幅度を得ている。

## 【0084】

図6において、ソースが電源 $V_{DD}$ に共通接続され、ゲートが共通接続されている $(K2+4)$ 個のPチャネルMOSトランジスタ $MP1$ 、 $MP2$ 、 $\sim MP(K2+4)$ は、 $(K2+3)$ 個の出力を有する第1のカレントミラー回路を構成し、ドレインとゲートが接続されたPチャネルMOSトランジスタ $MP1$ のドレインは定電流源16に接続され、定電流 $I_0$ を第1のカレントミラー回路の入力電流とし、PチャネルMOSトランジスタ $MP2$ 、 $MP3$ のドレインからは、第1、第2のトランジスタ $Q1$ 、 $Q2$ のコレクタに定電流が供給され、PチャネルMOSトランジスタ $MP4 \sim MP(K2+4)$ 3のドレインからは、第1 $\sim$ 第 $(K2+1)$ の差動対の共通接続されたソースに定電流が供給される。また、ソースが接地され、ドレインとゲートが接続され、ドレインが定電流源 $I_0$ に接続されシンク電流を入力するトランジスタ $MN01$ と、ソースが接地されゲートがトランジスタ $MN01$ のゲートと共通接続されるNチャネルMOSトランジスタ $MN04$ 、 $MN05$ 、 $MN(K2+1)$ は、第2のカレントミラー回路を構成している。さらに、ソースが接地され、ドレインとゲートが接続され、ドレインが、トランジスタ $M2$ のドレインに接続されるトランジスタ $MN02$ と、ソースが接地されゲートがトランジスタ $MN02$ のゲートと共通接続されるNチャネルMOSトランジスタ $MN03$ は、第3のカレントミラー回路を構成している。

## 【0085】

図6において、PチャネルMOSトランジスタM1、M2からなる第1の差動対において、トランジスタQ1のベース-エミッタ間電圧 $V_{BE1}$ とトランジスタQ2のベース-エミッタ間電圧 $V_{BE2}$ の差電圧 $\Delta V_{BE}$ が差動入力電圧として印加されている。

【0086】

また、トランジスタM3、M4からなる第2の差動対において、トランジスタM3のゲートには、トランジスタQ2のベース-エミッタ間電圧 $V_{BE2}$ が印加され、トランジスタM4は、ゲートとドレインが接続され（ダイオード接続され）、第3の差動対を構成し、ゲートとドレインが接続され（ダイオード接続され）たトランジスタM5と共通接続され、定電流で駆動されている。

【0087】

以下、第3から第 $K2$ の差動対まで同様に構成され、最終段の第 $(K2+1)$ の差動対を構成するダイオード接続されたトランジスタ $M(2K2+2)$ のドレインには、第3のカレントミラー回路の出力トランジスタMN03のドレインが接続されており、第1の差動対を構成するトランジスタM2に比例する電流で駆動されている。

【0088】

ここで、第1の差動対は、トランジスタMP4より定電流 $I_0$ に比例する電流 $I_0$ で駆動されており、差電圧 $\Delta V_{BE}$ を差動入力したとき、第1の差動対のトランジスタM1、M2のドレイン電流 $I_1$ 、 $I_2$ であるとする、

$$I_1 + I_2 = I_0$$

最終段の第 $(K2+1)$ の差動対のトランジスタMP $(2K2+1)$ 、MP $(2K2+2)$ の共通ソースにはトランジスタMP $(K2+4)$ より電流 $I_0$ が供給され、トランジスタ $M(2K2+2)$ のドレインは、トランジスタMN03より電流 $I_2$ で駆動されており、トランジスタ $M(2K2+1)$ のドレインには、 $I_0 - I_2 = I_1$ が流れる。第 $(K2+1)$ の差動対の差動入力電圧は $\Delta V_{BE}$ とされ、トランジスタ $M(2K2+1)$ のゲート電圧は、トランジスタ $M(2K2+2)$ のゲート電圧よりも、 $\Delta V_{BE}$ 低い。

【0089】

第  $(K2+1)$  の差動対のトランジスタ  $M(2K2+1)$  と、第  $(K2)$  の差動対のトランジスタ  $MP(2K2)$  のドレインとは共通接続されて、第2のカレントミラー回路の出力トランジスタ  $MN0(K2+3)$  のドレインに接続されており、定電流  $I_0$  に比例する電流  $I_0$  で駆動されるため、第  $(K2)$  の差動対のトランジスタ  $MP(2K2)$  のドレインに流れる電流は、 $I_0 - I_1 = I_2$  となり、トランジスタ  $MP(2K2-1)$  のドレインに流れる電流は、 $I_0 - I_2 = I_1$  となり、差動入力電圧は第1の差動対と同様  $\Delta V_{BE}$  とされ、トランジスタ  $M(2K2-1)$  のゲート電圧は、トランジスタ  $M(2K2)$  のゲート電圧よりも、 $\Delta V_{BE}$  低い。このようにして、第2の差動対  $M3$ 、 $M4$  まで、ダイオード接続されたトランジスタのゲート電圧は一段ごと、 $\Delta V_{BE}$  下がっていく。

## 【0090】

第2の差動対のトランジスタ  $M3$  のゲートに入力される電圧は、トランジスタ  $Q2$  のベース・エミッタ間電圧  $V_{BE2}$  であることから、第2の差動対のトランジスタ  $M4$  のドレイン（ゲート電圧）は、 $V_{BE2} + \Delta V_{BE}$  となり、第  $(K2+1)$  段の差動対のトランジスタ  $M(2K2+2)$  の出力電圧は、

$$\begin{aligned} V_{REF} &= V_{BE2} + K2 \Delta V_{BE} \\ &= V_{BE2} + K2 \cdot V_T \ln(K1) \end{aligned} \quad (20)$$

となる。

## 【0091】

(20)式において、定電流  $I_0$  で駆動されるトランジスタ  $Q2$  のベース・エミッタ間電圧  $V_{BE2}$  はおよそ  $-2 \text{ mV}/^\circ\text{C}$  程度の負の温度特性を持ち、熱電圧  $V_T$  は  $0.0853 \text{ mV}/^\circ\text{C}$  の正の温度特性を持っている。

## 【0092】

したがって、出力される基準電圧  $V_{REF}$  が温度特性を持たないようにするためには、正の温度特性を持つ電圧と負の温度特性を持つ電圧とで温度特性を相殺すれば良い。すなわち、

$K2 \ln(K1)$  の値は  $23.45$  となり、

$K2 \cdot V_T \ln(K1)$  の値は  $0.61 \text{ V}$  となる。

いま、 $V_{BE2}$  を  $0.7 \text{ V}$  とすると、

$$\{V_{BE2} + K_2 \cdot V_T \ln(K_1)\} = 1.31V$$

と求められる。

#### 【0093】

次に、本発明の第4の実施例について説明する。図7は、本発明のCMOS基準電流回路の第4の実施例の回路構成を示す図である。この実施例では、2つの差動対を用いた乗算加算回路について説明する。

#### 【0094】

図7を参照すると、それぞれが接地されて電流比が一定の2つの定電流で駆動される第1、第2のダイオード接続されたトランジスタQ1、Q2を備え、トランジスタQ2からの出力電圧に2つのトランジスタQ1、Q2の出力電圧の差電圧を一定倍に増幅し加算する手段は、2つの差動対から構成されている。

#### 【0095】

PチャネルMOSトランジスタM1、M2よりなる第1の差動対は、トランジスタQ1、Q2の出力電圧の差電圧を入力し、PチャネルMOSトランジスタM3、M4よりなる第2の差動対においては、トランジスタQ2からの出力電圧がトランジスタM3のゲートに印加され、トランジスタM4はダイオード接続されており、トランジスタM4のドレインは、第1の差動対の出力電流（トランジスタM2のドレイン電流）に比例する電流（K3倍の電流）で駆動されている。第1の差動対と第2の差動対のトランジスタの共通ソースは、それぞれ、電流比が一定の2つの定電流で駆動されており、第2の差動対の動作入力電圧範囲を、前記第1の差動対の動作入力電圧範囲に対して一定倍とすることで、所望の増幅度を得ている。図7において、ソースが電源VDDに共通接続され、ゲートが共通接続されているPチャネルMOSトランジスタM5、M6、M7、M8、M9は第1のカレントミラー回路を構成し、ドレインとゲートが接続されたPチャネルMOSトランジスタM9のドレインは定電流源17に接続され、定電流I0をカレントミラー回路の入力電流とし、PチャネルMOSトランジスタM5、M7のドレインからは、第1、第2のトランジスタQ1、Q2のコレクタに定電流が供給され、PチャネルMOSトランジスタM6、M8のドレインからは、第1、第2の差動対のそれぞれの共通接続されたソースに定電流が供給される。またソース

が接地され、ドレインとゲートが接続され、ドレインがトランジスタM2のドレインに接続されたトランジスタMN11と、ソースが接地されゲートがトランジスタMN10のゲートと共通接続されるNチャネルMOSトランジスタMN11は、第2のカレントミラー回路を構成している。

## 【0096】

第1の差動対をなすトランジスタM1、M2のトランスコンダクタンスパラメータ $\beta$ が等しく、定電流 $I_0$ で駆動されているとする。ただし、トランスコンダクタンスパラメータ $\beta$ は、 $\beta = \mu (C_{OX}/2)(W/L)$ と表される。ただし、 $\mu$ はキャリアの実効モビリティ、 $C_{OX}$ は単位面積当たりのゲート酸化膜容量、 $W$ 、 $L$ はそれぞれ、ゲート幅、ゲート長である。第1の差動対を構成するトランジスタM1、M2のゲート $W/L$  ( $W$ はゲート幅、 $L$ はゲート長) 比が、第2の差動対を構成するトランジスタM3、M4のゲート $W/L$ 比の $K$ 2倍とされている。

## 【0097】

トランジスタM1、M2のそれぞれのドレイン電流 $I_{D1}$ 、 $I_{D2}$ は、

$$I_{D1} = \beta (V_{GS1} - V_{TH})^2 \quad (21)$$

$$I_{D2} = \beta (V_{GS2} - V_{TH})^2 \quad (22)$$

と表される。ただし、 $V_{GS1}$ 、 $V_{GS2}$ は、トランジスタM1、M2のゲート・ソース間電圧、 $V_{TH}$ はスレッシュホールド電圧である。

## 【0098】

また、トランジスタM1、M2の共通接続されたソースは、第1のカレントミラー回路の出力をなすPチャネルMOSトランジスタM6のドレインに接続されており、駆動電流の条件から、

$$I_{D1} + I_{D2} = I_0 \quad (23)$$

である。

## 【0099】

(21)式から(23)式を解くと、 $\Delta V = V_{GS1} - V_{GS2}$ として、 $I_{D1}$ 、 $I_{D2}$ は(24)、(25)で表される。

【0100】

$$I_{D1} = \frac{1}{2} \{ I_0 + \beta \Delta V \sqrt{\frac{2I_0}{\beta} - (\Delta V)^2} \} \quad (24)$$

【0101】

$$I_{D2} = \frac{1}{2} \{ I_0 - \beta \Delta V \sqrt{\frac{2I_0}{\beta} - (\Delta V)^2} \} \quad (25)$$

【0102】

ただし、 $\Delta V = V_{GS1} - V_{GS2}$

(24)式と(25)式を電流  $I_0$  で正規化すると、(26)、(27)式と表される。

【0103】

$$f_{D1}(x) = \frac{I_{D1}}{I_0} = \frac{1}{2} \{ 1 + \sqrt{2} \sqrt{1 - \frac{x^2}{2}} \} \quad (26)$$

【0104】

$$f_{D2}(x) = \frac{I_{D2}}{I_0} = \frac{1}{2} \{ 1 - \sqrt{2} \sqrt{1 - \frac{x^2}{2}} \} \quad (27)$$

【0105】

ただし、

$$x = \Delta V / \sqrt{I_0 / (K_2 \beta)}$$

【0106】

である。

【0107】

トランジスタM3、M4からなる第2の差動対では、

【0108】

$$f_{D3}(x) = \frac{I_{D3}}{K_3 I_0} = \frac{1}{2} \{1 + \sqrt{2} \sqrt{1 - \frac{x^2}{2}}\} \quad (28)$$

【0109】

$$f_{D4}(x) = \frac{I_{D4}}{K_3 I_0} = \frac{1}{2} \{1 - \sqrt{2} \sqrt{1 - \frac{x^2}{2}}\} \quad (29)$$

【0110】

と表される。

ただし、

$$x = \Delta V / \sqrt{K_3 I_0 / \beta} \quad (0111)$$

である。

【0112】

このように正規化すると、図7のトランジスタM1、M2からなる第1の差動対にもトランジスタM3、M4からなる第2の差動対にも適用できる。ここで、トランジスタM1、M2からなる第1の差動対では、

【0113】

$$x_1 = \Delta V_1 / \sqrt{I_0 / (K_2 \beta)}$$

【0114】

であり、トランジスタM3、M4からなる第2の差動対では、

【0115】

$$x_2 = \Delta V_2 / \sqrt{K_3 I_0 / \beta}$$



【0116】

であるとする。

【0117】

トランジスタM2のドレイン電流ID2がK3倍されて（第2のカレントミラー回路の電流比をK3とする）、トランジスタM4に流れることから、正規化入力電圧は等しくなり、 $x_1 = x_2$ となる。したがって、

【0118】

$$\Delta V_2 = \Delta V_1 \frac{\sqrt{\frac{K_3 I_0}{\beta}}}{\sqrt{\frac{I_0}{(K_2 \beta)}}} = \sqrt{K_2 K_3} \Delta V_1 \quad (30)$$

【0119】

となり、乗算係数は

$$\sqrt{K_2 K_3}$$

【0120】

となっている。

【0121】

ここで、

$$\Delta V_1 = \Delta V = \Delta V_{BE} = V_T \ln(K_1) \quad (31)$$

であるから、

$$V_{REF} = V_{BE2} + \Delta V_2 = V_{BE2} + \sqrt{K_2 K_3} V_T \ln(K_1) \quad (32)$$

【0122】

と求められる。

【0123】

熱電圧 $V_T$ は $0.0853 \text{ mV}/^\circ\text{C}$ の正の温度特性を持っている。ここで、トランジスタQ2は温度特性が小さい定電流 $I_0$ で駆動されているものとしてトランジスタQ2の $V_{BE}$ の温度特性を $-2.0 \text{ mV}/^\circ\text{C}$ とすれば、出力される基準電圧 $V_{REF}$ が温度特性を持たないようにするためには、正の温度特性を持つ電圧と負の温度特性を持つ電圧とで温度特性を相殺すれば良い。

## 【 0 1 2 4 】

すなわち、 $\text{Sqrt}(K_2 \times K_3) \times \ln(K_1)$ の値は23.447となり（ただし、関数 $\text{Sqrt}()$ は、 $\sqrt{()}$ を表している）、

$\text{Sqrt}(K_2 \times K_3) \times V_T \ln(K_1)$ の値は常温では0.60Vとなる。

いま、 $V_{BE2}$ を0.7Vとすると、

$$\{V_{BE2} + \text{Sqrt}(K_2 K_3) \times V_T \ln(K_1)\} = 1.3 \text{ V}$$

と求められる。具体的には、

$$K_1 = 10、$$

$$K_2 = 8、$$

$$K_3 = 13$$

となる。

## 【 0 1 2 5 】

次に、本発明の第5の実施例について説明する。図8は、本発明のCMOS基準電流回路の第5の実施例の回路構成を示す図である。

## 【 0 1 2 6 】

図8において、トランジスタM1～M7と、補償用抵抗RCと補償用容量CCとでボルテージフォロア形のオペアンプを構成しており、入力の差動トランジスタM1、M2のW/L比を、1:K2とし、負荷となっているアクティブロードトランジスタM3、M4のW/L比をK3:1とし、入力オフセットが発生するように設定されている。ソースが共通接続され定電流源トランジスタM5のドレインに接続されたトランジスタM1、M2は差動対を構成し、トランジスタM1のドレインにドレインとゲートが接続されソースが接地されたトランジスタM3と、トランジスタM2のドレインにドレインが接続され、ソースが接地され、ゲートがトランジスタM3のゲートに接続されたトランジスタ4は、差動対の負荷をなすカレントミラー回路であり、差動対の出力をなすトランジスタM2のドレインは、ソースが接地され、ドレインが定電流源トランジスタM7のドレインに接続されたトランジスタM5のゲートに接続され、トランジスタM5のドレインを出力端子として該出力端子から出力電圧VREFが取り出され、出力端子は、差動対の反転入力端をなすトランジスタM2のゲートに接続され、トランジスタM5

のドレインとゲート間には位相補償用の抵抗RCと容量CCが接続されており、差動対の非反転入力端には、トランジスタQ1のベース・エミッタ間電圧VBEが入力されている。

【0127】

位相補償用抵抗RCは、正確な抵抗値が要求されないため、通常はPチャネルMOSトランジスタとNチャネルMOSトランジスタとで代用される。

【0128】

各トランジスタM1、M2のドレイン電流 $I_{D1}$ 、 $I_{D2}$ は、

$$I_{D1} = \beta (V_{GS1} - V_{TH})^2 \quad (33)$$

$$I_{D2} = K3 \beta (V_{GS2} - V_{TH})^2 \quad (34)$$

と表される。また、

$$I_{D1} + I_{D2} = I_0 \quad (35)$$

なる関係がある。

【0129】

また、

$$V_{OS} = V_{GS1} - V_{GS2} \quad (36)$$

とおける。

【0130】

さらに、アクティブロードトランジスタM3、M4の条件より、

$$K3 I_{D1} = I_{D2} \quad (37)$$

(35)式から(37)式を解くと、

$$I_{D1} = I_0 K3 / (K3 + 1) \quad (38)$$

$$I_{D2} = I_0 / (K3 + 1) \quad (39)$$

となる。したがって、上式を解くと、

【0131】

$$V_{OS} = \sqrt{\frac{I_0}{\beta}} \sqrt{\frac{K_3}{K_3 + 1}} \left(1 - \frac{1}{\sqrt{K_2 K_3}}\right) \quad (40)$$

【0132】

と求められる。

【0 1 3 3】

ここで、 $K_j$ が含まれている各項は、温度に依存しない定数であるから、 $\text{Sqrt}(I_0/\beta)$ の項の温度特性が問題となる。ここで、MOSトランジスタではモビリティ $\mu$ が温度特性を持つから、トランスコンダクタンス・パラメータ $\beta$ の温度依存性は次式で表される。

【0 1 3 4】

$$\beta = \beta_0 \left( \frac{T}{T_0} \right)^{-\frac{3}{2}} \quad (41)$$

【0 1 3 5】

ただし、 $\beta_0$ は常温(300K)での $\beta$ の値である。 $\text{Sqrt}(I_0/\beta)$ の項の温度特性のうち $\beta$ の項の温度特性は明らかになった。次に、定電流 $I_0$ の温度特性を確定する必要がある。

【0 1 3 6】

一般的なMOS基準電流回路は、図8に示すように、永田カレントミラー回路、ワイドラーカレントミラー回路、逆ワイドラーカレントミラー回路などの非線形カレントミラー回路を自己バイアスすることで実現される。

【0 1 3 7】

図8では、永田カレントミラー回路を自己バイアスしたMOS基準電流回路を示してある。

【0 1 3 8】

ソースが接地され、ドレインが抵抗 $R_1$ の一端に接続され、ゲートが抵抗 $R_1$ の他端に接続されているトランジスタ $M_{10}$ と、ソースが接地され、ゲートがトランジスタ $M_{10}$ のドレインに接続されているトランジスタ $M_{11}$ と、抵抗 $R_1$ からなる回路は、永田カレントミラー回路を構成している。ここでは、カレントソースを構成しているトランジスタ $M_{13}$ 、 $M_{12}$ により、トランジスタ $M_{10}$ 、 $M_{11}$ 、抵抗 $R_1$ は自己バイアス永田基準電流回路となっている。

【0 1 3 9】

ここで、トランジスタ $M_{10}$ を単位トランジスタ、トランジスタ $M_{11}$ のゲー

ト幅 $W$ ／ゲート長 $L$ の比 ( $W/L$ ) を、単位トランジスタの $K_1$ 倍 ( $K_1 > 1$ ) とする。

【0140】

図8に示すMOS永田カレントミラー回路においては、素子の整合性は良いものとし、チャネル長変調と基板効果を見做し、MOSトランジスタのドレイン電流とゲート－ソース間電圧の関係は2乗則に従うものとする、MOSトランジスタ $M_{10}$ のドレイン電流 $I_{D1}$ は、

$$I_{D1} = \beta (V_{GS10} - V_{TH})^2 \quad (42)$$

と表される。

【0141】

MOSトランジスタ $M_{11}$ のドレイン電流 $I_{D2}$ は、

$$I_{D2} = K_1 \beta (V_{GS11} - V_{TH})^2 \quad (43)$$

と表される。また、

$$V_{GS10} = V_{GS11} + R_1 I_{D10} \quad (44)$$

なる関係がある。

【0142】

(42)式から(44)式を解くと、MOS永田カレントミラー回路の入力電流と出力電流の関係は、

【0143】

$$I_{D11} = K_1 \beta R_1^2 I_{D10} \left( \sqrt{I_{D10}} - \frac{1}{R_1 \sqrt{\beta}} \right)^2 \quad (45)$$

【0144】

と表される。

【0145】

MOS永田カレントミラー回路の特徴は、入力電流（基準電流）に対し、出力電流（ミラー電流）が単調に増加する領域と、ピーク点と、入力電流（基準電流）に対し出力電流（ミラー電流）が単調に減少する領域とがある。

【0146】

$I_{D11}$ のピーク点は、 $I_{D11}$ を $I_{D10}$ で微分し、

$I_{D10} = 1 / (4 R_1^2 \beta)$  の時に、

$I_{D11} = K_1 \times I_{D10} / 4$

となっている。

【0147】

したがって、 $K_1 = 4$  の時に、 $I_{D11} = I_{D10}$ となる。

【0148】

ここで、トランジスタM15とトランジスタM14は、カレントミラー回路を構成しており、トランジスタM10とトランジスタM11はそれぞれトランジスタM15、M14で駆動されているから、MOS自己バイアス永田基準電流回路となっており、

$$I_{D10} = I_{D11} \quad (46)$$

となる。したがって、

$$\Delta V_{GS} = V_{GS10} - V_{GS11} = R_1 I_{D10} \quad (47)$$

(37)式から(39)式を解くと、

【0149】

$$I_{D10} = I_{D11} = \frac{1}{R_1^2 \beta} \left(1 - \frac{1}{\sqrt{K_1}}\right)^2 \quad (48)$$

【0150】

と求まる。ここで、 $K_1$ は温度特性を持たない定数である。一方、MOSトランジスタではモビリティ $\mu$ が温度特性を持つから、トランスコンダクタンス・パラメータ $\beta$ の温度依存性は次式で表される。

【0151】

$$\beta = \beta_0 \left(\frac{T}{T_0}\right)^{-\frac{3}{2}} \quad (49)$$

【0152】

ただし、 $\beta_0$ は常温(300K)での $\beta$ の値である。したがって、

【 0 1 5 3 】

$$\frac{1}{\beta} = \frac{1}{\beta_0} \left( \frac{T}{T_0} \right)^{\frac{3}{2}} \quad (50)$$

【 0 1 5 4 】

と求まる。  $1/\beta$  の温度特性は、常温では、  $5000 \text{ ppm}/^{\circ}\text{C}$  となっている。これは、バイポーラトランジスタの熱電圧  $V_T$  の温度特性  $3333 \text{ ppm}/^{\circ}\text{C}$  の  $1.5$  倍に当たる。

【 0 1 5 5 】

また、トランジスタ  $M_{12}$  はトランジスタ  $M_{13}$  とカレントミラー回路を構成しているから、

$$I_{D12} = I_{D13} \quad (51)$$

である。

【 0 1 5 6 】

すなわち、CMOS 基準電流回路の出力電流  $I_0$  は、

【 0 1 5 7 】

$$I_0 = I_{D10} = I_{D11} = \frac{1}{R_1^2 \beta_0} \left( \frac{T}{T_0} \right)^{\frac{3}{2}} \left( 1 - \frac{1}{\sqrt{K_1}} \right)^2 \quad (52)$$

【 0 1 5 8 】

と求められる。ここで、 $K_1$  は温度特性を持たない定数であり、上述したように、  $1/\beta$  の温度特性は、ほぼ温度に比例しており、常温では、  $5000 \text{ ppm}/^{\circ}\text{C}$  となっている。これは、バイポーラトランジスタの熱電圧  $V_T$  の温度特性  $3333 \text{ ppm}/^{\circ}\text{C}$  の  $1.5$  倍に当たる。

【 0 1 5 9 】

したがって、抵抗  $R_1$  の温度特性が  $5000 \text{ ppm}/^{\circ}\text{C}$  以下で温度に対して  $1$  次特性であれば、ドレイン電流  $I_{D10}$  が正の温度特性を持ち、カレントミラー回路を介して出力される基準電流回路の出力電流  $I_0$  は温度に比例することになり、PTAT カレントソース回路となることがわかる。

## 【 0 1 6 0 】

自己バイアス回路を起動するためにはスタートアップ回路が必要であるが、これまでの動作説明では説明を簡略化するために省いてある。例えば、簡単なスタートアップ回路としては、本願と同一発明者による特開平 8 - 3 1 4 5 6 1 号公報（特許第 2 8 0 0 7 2 0 号）等が参照される。

## 【 0 1 6 1 】

CMOS 基準電流回路の出力電流は(52)式で表され、その温度特性も明確になった。したがって、(52)式を(40)式に代入すると、

## 【 0 1 6 2 】

$$\begin{aligned} V_{os} &= \frac{1}{R_1 \beta} \left(1 - \frac{1}{\sqrt{K_1}}\right) \sqrt{\frac{K_3}{K_3 + 1}} \left(1 - \frac{1}{\sqrt{K_2 K_3}}\right) \\ &= \frac{1}{R_1 \beta_0} \left(\frac{T}{T_0}\right)^{\frac{3}{2}} \left(1 - \frac{1}{\sqrt{K_1}}\right) \sqrt{\frac{K_3}{K_3 + 1}} \left(1 - \frac{1}{\sqrt{K_2 K_3}}\right) \end{aligned} \quad (53)$$

## 【 0 1 6 3 】

と求められる。ここで、 $K_j$ を含む各項は温度特性を持たない定数であり、オフセット電圧  $V_{OS}$  は、CMOS 基準電流回路の電流値を決める抵抗  $R_1$  と、 $1/\beta$  の温度特性、常温では  $5000 \text{ ppm}/^\circ\text{C}$  で決定され、抵抗  $R_1$  の温度特性が  $5000 \text{ ppm}/^\circ\text{C}$  に比べて十分に小さいとすれば、オフセット電圧は常温では  $5000 \text{ ppm}/^\circ\text{C}$  の温度特性を持つことになる。これは、バイポーラトランジスタの熱電圧  $V_T$  の温度特性  $3333 \text{ ppm}/^\circ\text{C}$  の 1.5 倍に当たる。したがって、図 7 に示した基準電圧回路の出力電圧よりも低い基準電圧が得られることになる。そのことを以下に説明する。

## 【 0 1 6 4 】

図 8 において、基準電圧回路の出力電圧  $V_{REF}$  は、

$$V_{REF} = V_{BE1} + V_{OS} \quad (54)$$

と表される。

## 【 0 1 6 5 】

ここでトランジスタ  $Q_1$  はおよそ  $5000 \text{ ppm}/^\circ\text{C}$  の温度特性を持つ定電流



で駆動されている。

【0166】

したがって、図7で説明したバイポーラトランジスタの $V_{BE}$ の温度特性 $-1.9\text{ mV}/^{\circ}\text{C}$ よりも多少は緩和されて、 $-1.9\text{ mV}/^{\circ}\text{C}$ よりも若干小さくなって、 $-1.85\text{ mV}/^{\circ}\text{C}$ 前後の温度特性になると仮定すると、基準電圧回路の出力電圧 $V_{REF}$ の温度特性は、 $-1.85\text{ mV}/^{\circ}\text{C}$ の負の温度特性を持つ $V_{BE1}$ と $500\text{ ppm}/^{\circ}\text{C}$ の温度特性を持つ $V_{OS}$ の温度特性が互いに相殺される場合に、

【0167】

$$\frac{1}{R_1\beta_0}\left(1-\frac{1}{\sqrt{K_1}}\right)\sqrt{\frac{K_3}{K_3+1}}\left(1-\frac{1}{\sqrt{K_2K_3}}\right)=0.37V \quad (55)$$

【0168】

となる。このときに、 $V_{BE1}=0.7\text{ V}$ とすると、基準電圧回路の出力電圧 $V_{REF}$ は、

$$V_{REF}=1.07V \quad (56)$$

となる。

【0169】

また、ボルテージフォロア形のオペアンプの構成をとるから、オフセット電圧を減算することもできる。このときに、回路素子の接続は、図8に示した構成のままとされ、トランジスタ $M1$ と $M2$ のゲート $W/L$ 比を $K2:1$ に、トランジスタ $M3$ と $M4$ のゲート $W/L$ 比を $1:K3$ に変更すれば良い。このときの基準電圧回路の出力電圧 $V_{REF}$ は

$$V_{REF}=V_{BE1}-V_{OS} \quad (57)$$

と表される。

【0170】

したがって、(57)式で示されるオフセット電圧を減算すると、 $V_{BE1}=0.7\text{ V}$ としたときの、基準電圧回路の出力電圧 $V_{REF}$ は、

$$V_{REF}=0.33V \quad (58)$$

となる。ただし、この場合には、基準電圧回路の出力電圧 $V_{REF}$ の温度特性は

、 $-3.7\text{ mV}/^{\circ}\text{C}$ の負の温度特性を持つことになる。

【0171】

図9は、図8に示した実施例の変形を示す図である。差動対のトランジスタM2のドレインとゲートを接続し、該ドレインから出力電圧VREFを取り出している。図9において、基準電圧回路の出力電圧VREFは、(54)式と同様、 $V_{\text{REF}} = V_{\text{BE}} + V_{\text{OS}}$ で与えられ、 $V_{\text{OS}}$ は(53)式で与えられる。すなわち、上記と同様、温度に依存しない、基準電圧を出力する。この変形例は、図8に示した構成のように、基準電圧出力端子から電流を供給する能力はないが、基準電圧を与える場合に有効である。

【0172】

上記各実施例において、ダイオード接続されたバイポーラトランジスタQ1、Q2は、ダイオードで置き換えてもよく、また、バイポーラトランジスタとMOSトランジスタが同一基板上の構成されるBi-CMOS回路で構成される。以上、本発明を上記実施例に即して説明したが、本発明は、上記実施例の構成にのみ限定されるものでなく、特許請求の範囲の各請求項の発明の範囲内で、当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

【0173】

【発明の効果】

以上説明したように、本発明によれば、下記記載の効果を奏する。

【0174】

本発明の第1の効果は、温度特性を持たない1.2Vの出力電圧を持つ基準電圧回路をCMOSプロセスで簡単に実現できるということである。

【0175】

その理由は、本発明の基準電圧回路においては、図10に示した従来の回路構成のように、抵抗を使用せずに、能動素子のみで回路を構成している、からである。

【0176】

本発明の第2の効果は、温度特性を持たない1.2Vより低い出力電圧を持つ基準電圧回路をCMOSプロセスで実現できるということである。

【 0 1 7 7 】

その理由は、本発明の基準電圧回路においては、正の温度特性を  $1/\beta$  の項から得られる  $5,000 \text{ ppm}/^\circ\text{C}$  の温度特性を利用して、バイポーラトランジスタの負の温度特性： $-1.9 \text{ mV}/^\circ\text{C}$  を相殺している、からである。

【図面の簡単な説明】

【図 1】

本発明の一実施例の回路構成を示す図である。

【図 2】

本発明の一実施例の基準電圧回路の乗算動作を説明するための図である。

【図 3】

本発明の一実施例の基準電圧回路の乗算動作を説明するための図である。

【図 4】

本発明の一実施例の基準電圧回路の乗算動作を説明するための図である。

【図 5】

本発明の第 2 の実施例の回路構成を示す図である。

【図 6】

本発明の第 3 の実施例の回路構成を示す図である。

【図 7】

本発明の第 4 の実施例の回路構成を示す図である。

【図 8】

本発明の第 5 の実施例の回路構成を示す図である。

【図 9】

本発明の第 5 の実施例の変形例を示す図である。

【図 10】

従来のオペアンプを用いた基準電圧回路の構成を示す図である。

【符号の説明】

11、12 オペレーショナルトランスコンダクタンスアンプ

13 カレントミラー

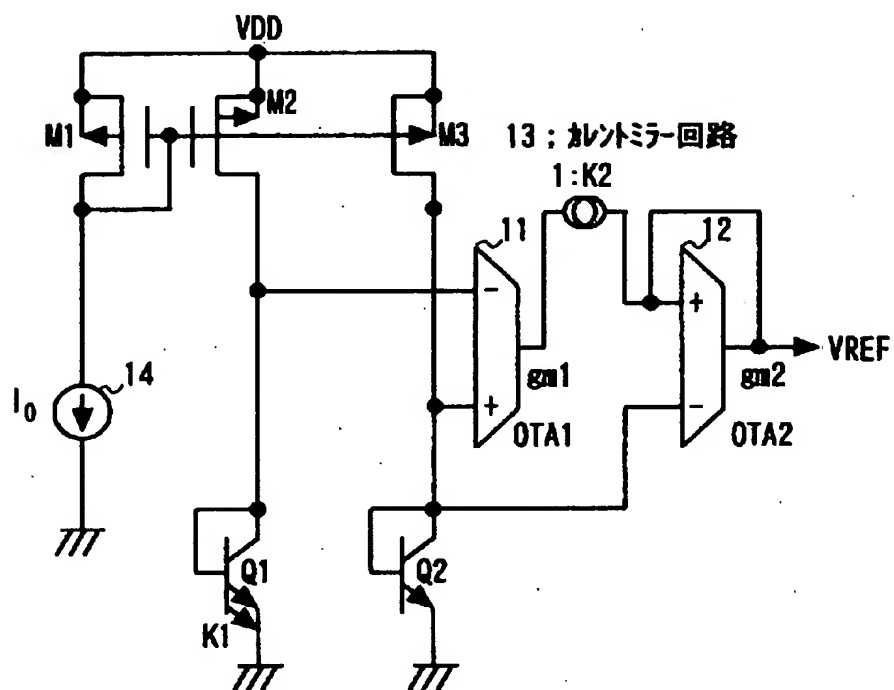
14、15、16 定電流源

20 オペアンプ

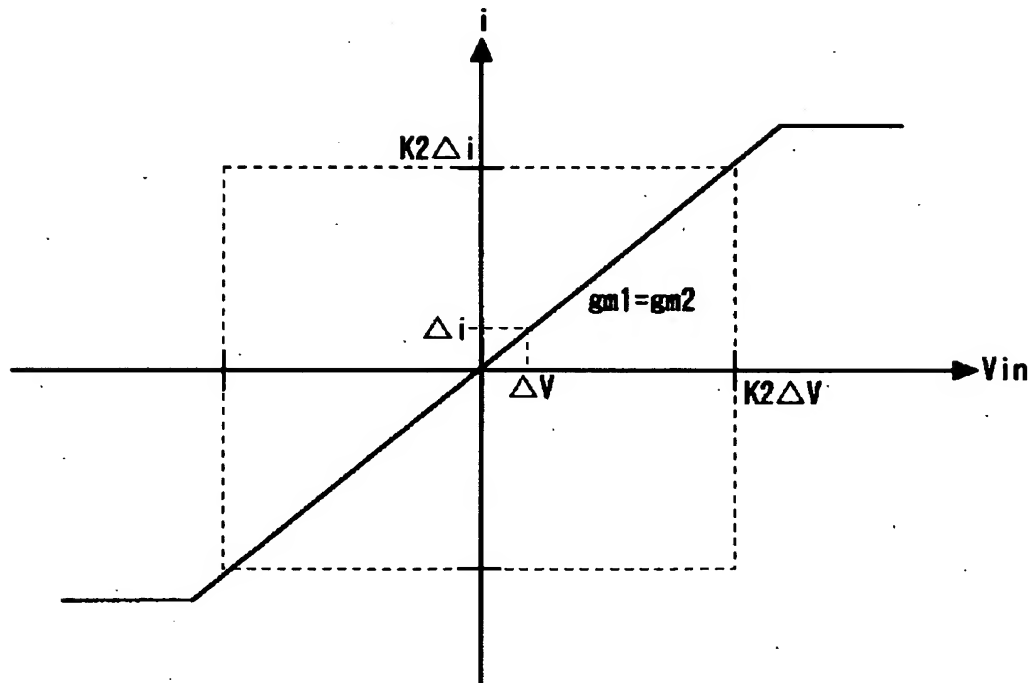
【書類名】

図面

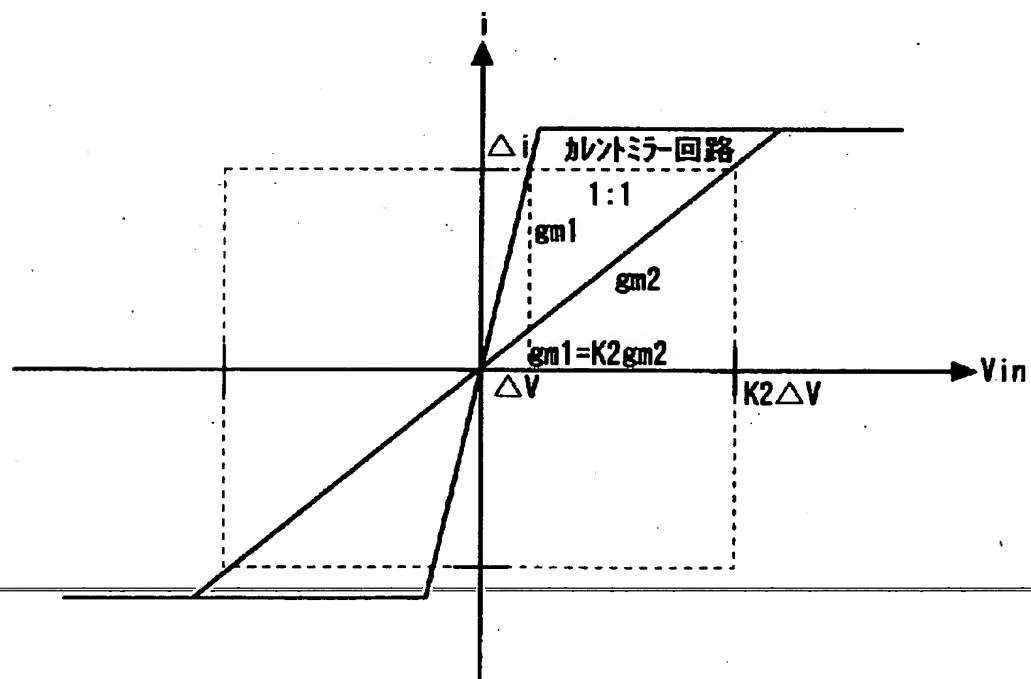
【図 1】



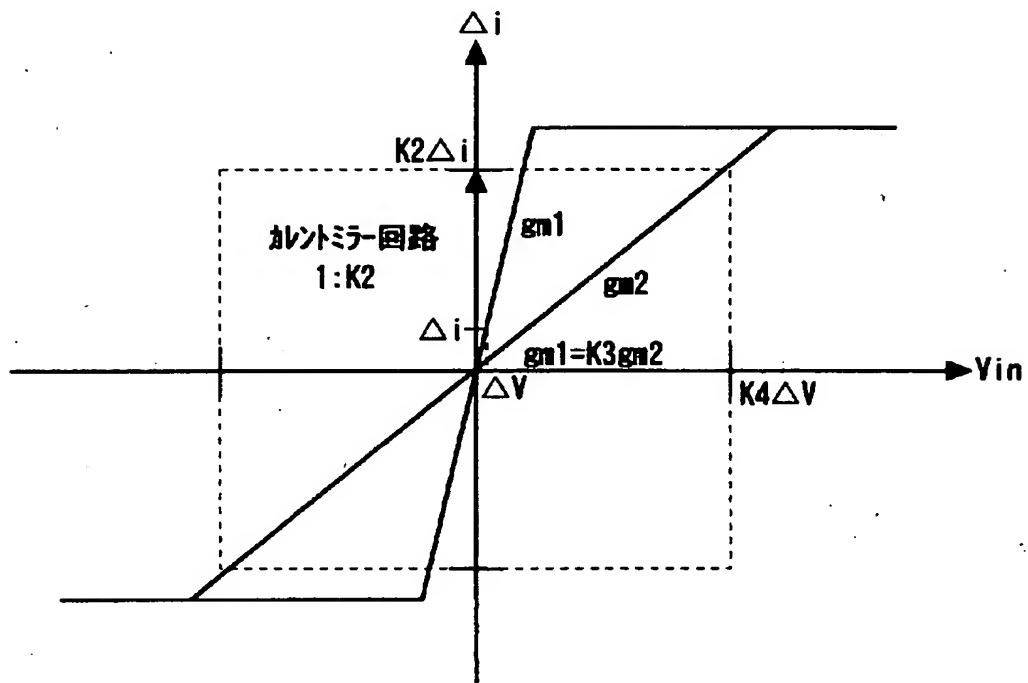
【図 2】



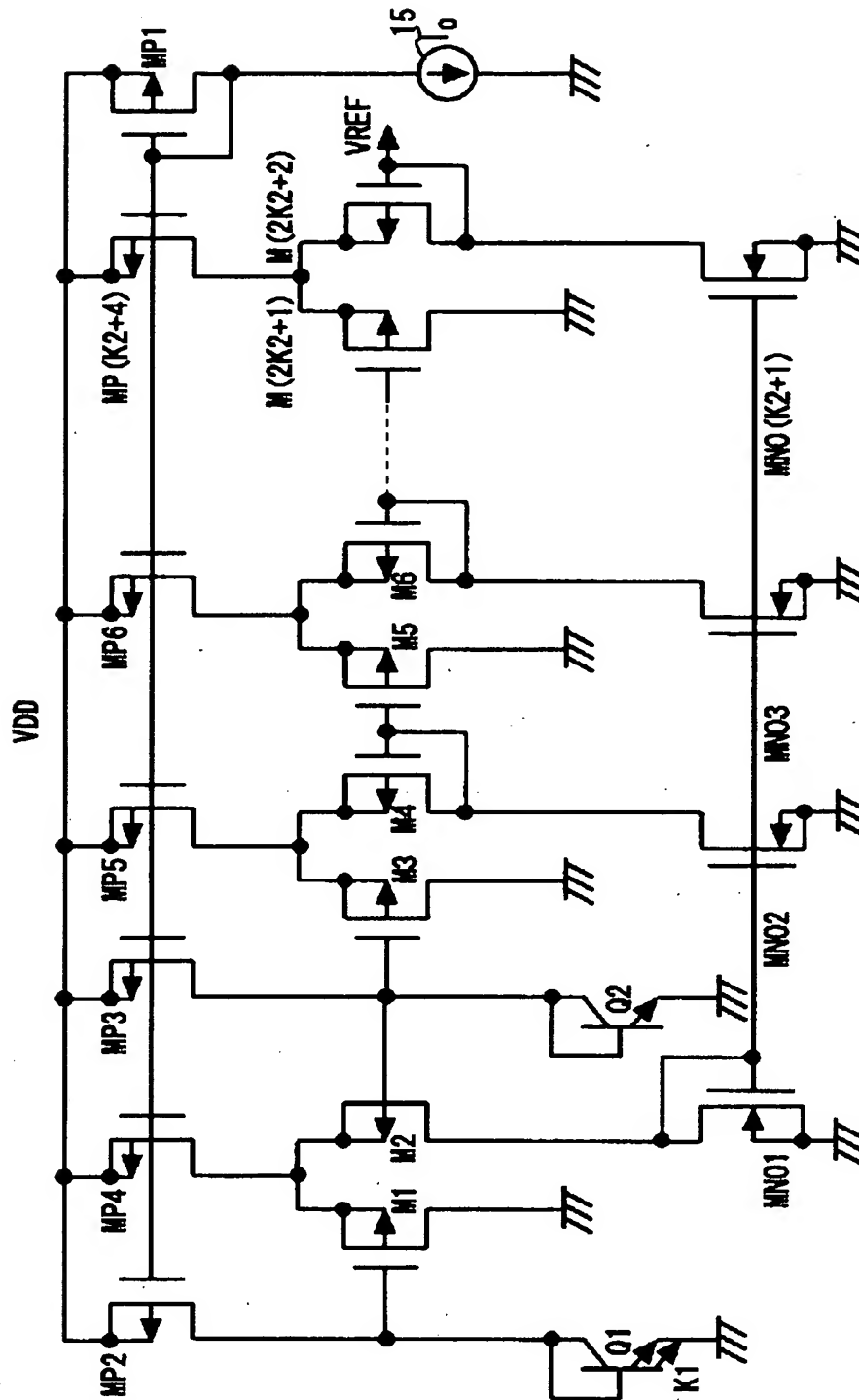
【図 3】



【図 4】



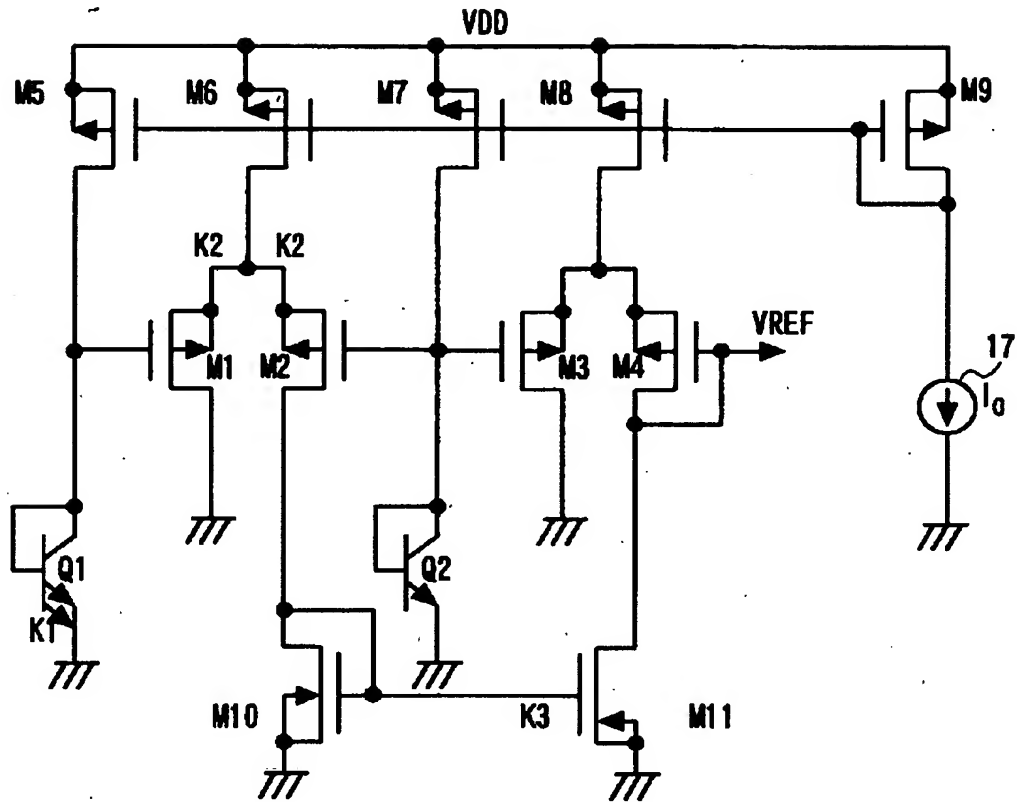
【図 5】



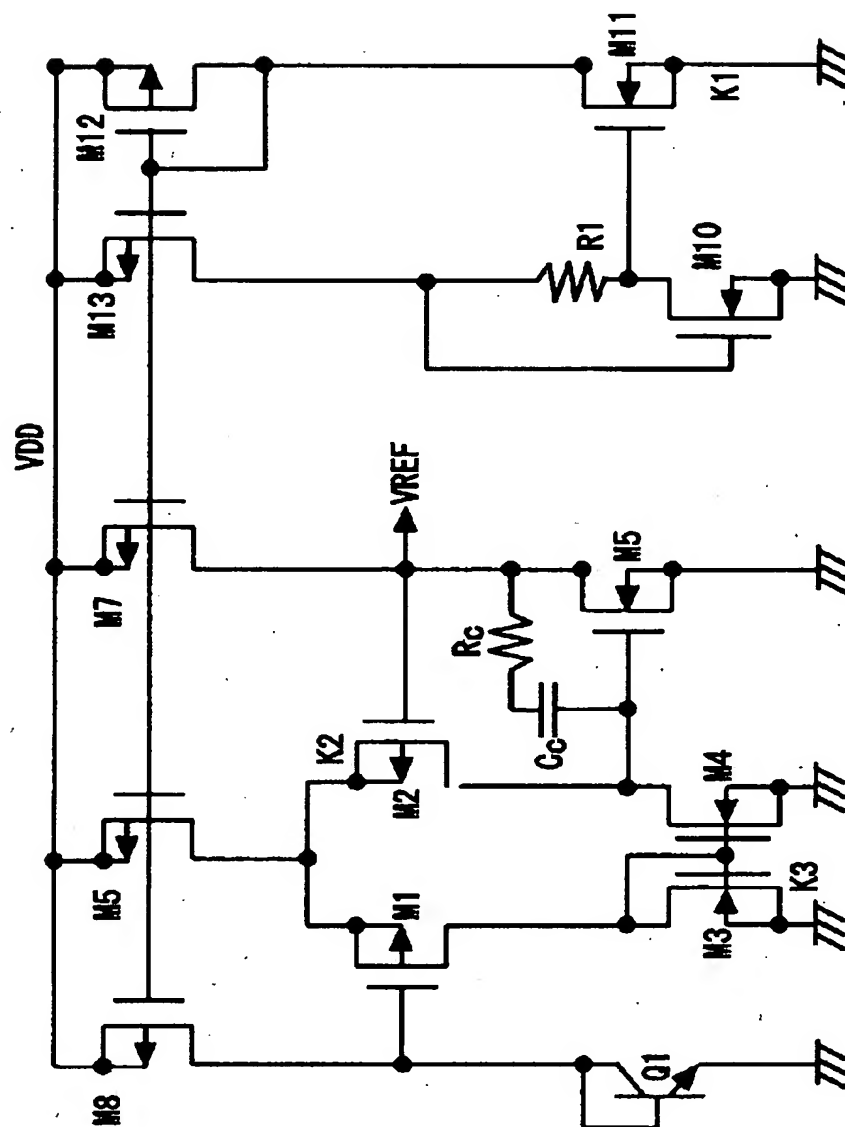




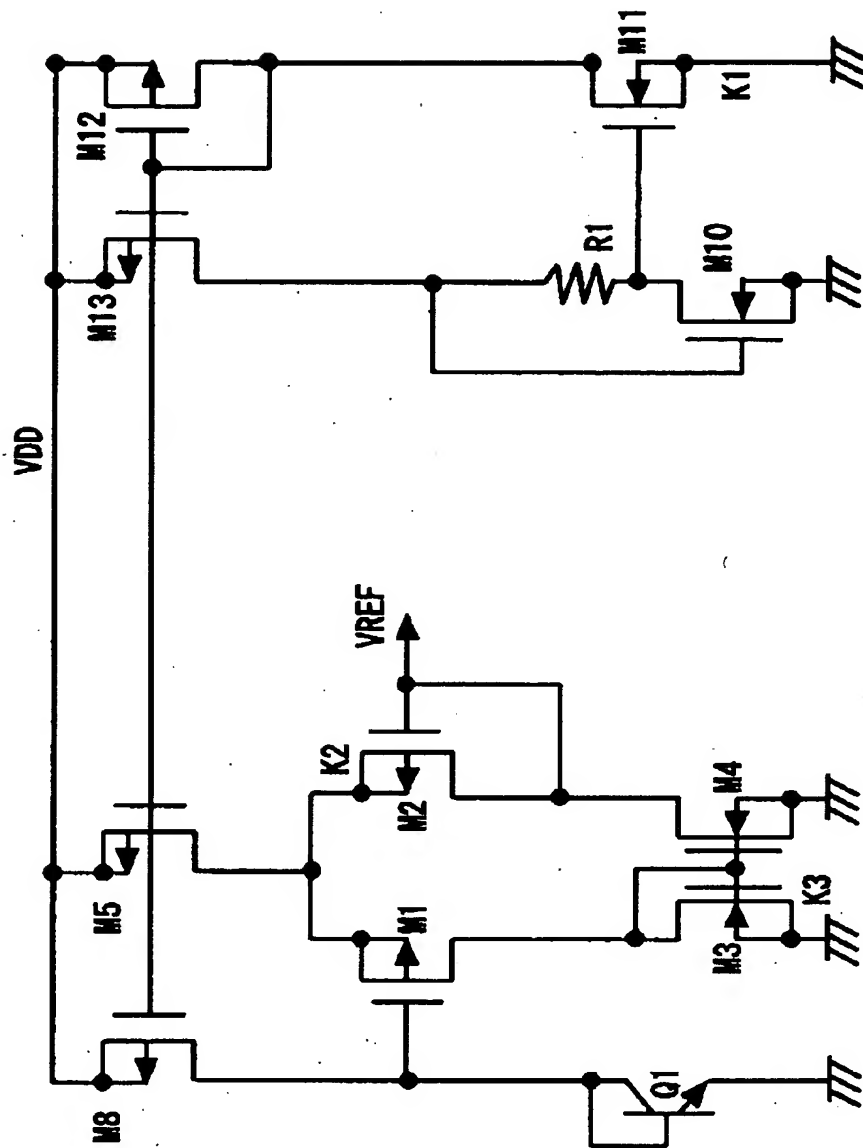
【図 7】



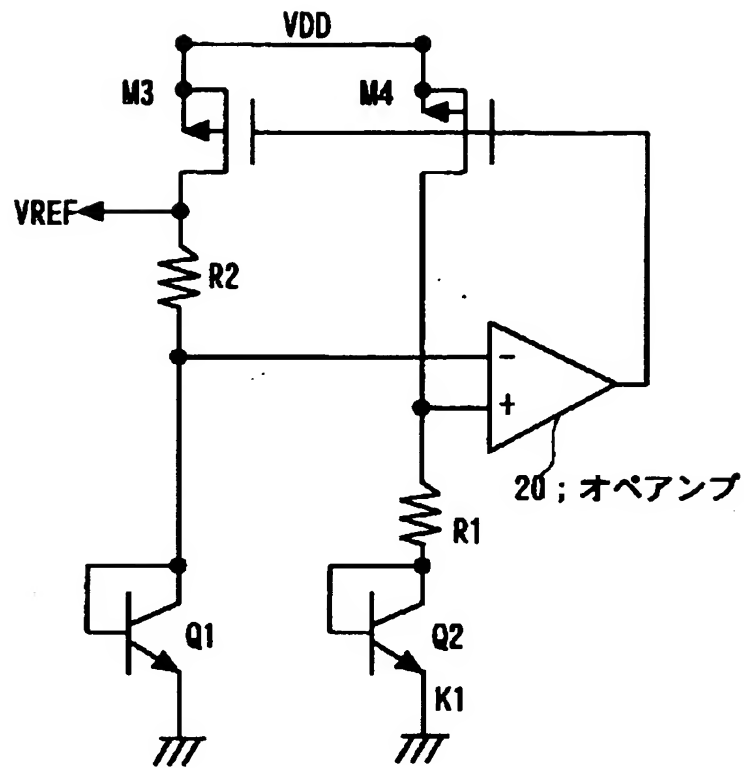
【图 8】



【図 9】



【図10】



【書類名】 要約書

【要約】

【目的】

半導体集積回路上に形成され、温度特性を持たない基準電圧を出力するCMOS基準電圧回路の提供。

【構成】

それぞれが接地されて電流比が一定の2つの定電流で駆動され、ダイオード接続された第1、第2のトランジスタ（あるいはダイオード）と、第1、または第2のトランジスタからの出力電圧に前記第1のトランジスタと第2のトランジスタの2つの出力電圧の差電圧を一定倍に増幅し加算する手段を有する基準電圧回路において、前記増幅し加算する手段が、2つのOTA11、12とカレントミラー回路13から構成され、第1のOTA11は差電圧を入力し、第2のOTA12は第1または第2のトランジスタからの出力電圧が逆相入力端子に印加され、正相入力端子は出力端子に接続され第1のOTA11の出力電流に比例する電流で駆動され、第2のOTA12の出力端子電圧を出力電圧する。

【選択図】

図1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社